

Univerzita Pardubice
Fakulta elektrotechniky a informatiky

Základní deska pro procesor realizovaný na FPGA

Vladislav Mlejnecký

Bakalářská práce

2018

Univerzita Pardubice
Fakulta elektrotechniky a informatiky
Akademický rok: 2017/2018

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Vladislav Mlejnecký**
Osobní číslo: **I15042**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Komunikační a mikroprocesorová technika**
Název tématu: **Základní deska pro procesor realizovaný na FPGA**
Zadávací katedra: **Katedra elektrotechniky**

Zásady pro vypracování:

Cílem bakalářské práce je návrh, realizace, oživení a ověření desky plošných spojů pro FPGA. DPS bude obsahovat zvolené FPGA, vybraná rozhraní, minimálně sériovou linku, grafiku VGA, nebo jiný, rozhraní pro standartní klávesnici, rozhraní pro velkokapacitní paměť, SD karta, HDD podle volby a možností, návrh nesmí zapomenout na externí RAM a možnost konfigurace FPGA externím programátorem (konektor) případně možnost integrace programátoru na DPS. DPS bude obsahovat signalizační LED a tlačítko RESET a konektor pro případné rozšíření DPS s vyvedenou sběrnici. Teoretická část práce bude obsahovat popis problematiky, postup volby FPGA s rešerší možných řešení, rešerší rozhraní používaných u základních desek které v rámci výkonosti FPGA připadají v úvahu a možnosti jejich řešení v rámci práce. Praktická část bude obsahovat samotnou realizaci s popisem postupu řešení. Pokud jsou při práci používány knihovny nebo části jiných projektů, budou tyto řádně citovány. K dokumentaci postupu řešení bude použit vhodný nástroj typu GitHub, kde bude projekt zveřejněn. V průběhu není potřeba se nutně držet zadaných rozhraní, pokud budou nahrazeny za vhodnější, nebo pokud bude zdokumentován důvod jejich neimplementace. Funkčnost návrhu bude otestována a výsledky budou součástí bakalářské práce.

Rozsah grafických prací:

Rozsah pracovní zprávy:

Forma zpracování bakalářské práce: **tištěná**

Seznam odborné literatury:

- [1] VÁŇA, V. Mikrokontroléry ATMEL AVR: popis procesoru a instrukční soubor. Praha: BEN technická literatura, 2003. 336 s. ISBN 978-80-7300-083-0.
- [2] VÁŇA, V. Mikrokontroléry ATMEL AVR: programování v jazyce C. Praha: BEN technická literatura, 2003. 216 s. ISBN 978-80-7300-102-0.
- [3] VLACH, J. Řízení a vizualizace technologických procesů. Praha: BEN technická literatura, 2002. 160 s. ISBN 978-80-86056-66-X.
- [4] BRTNÍK, B. Základní elektronické obvody. Praha: BEN technická literatura, 2011. 156s. ISBN 978-80-7300-408-8
- [5] RIPKA, P.; TIPEK, A. Master Book of Sensors. Praha : BEN, 2003. ISBN 0-12-752184

Vedoucí bakalářské práce:

Ing. Pavel Rozsival

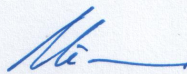
Katedra elektrotechniky

Datum zadání bakalářské práce:

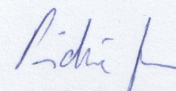
31. října 2017

Termín odevzdání bakalářské práce:

11. května 2018



Ing. Zdeněk Němec, Ph.D.
děkan



Ing. Jan Pidanič, Ph.D.
vedoucí katedry

V Pardubicích dne 15. prosince 2017

Prohlašuji:

Tuto práci jsem vypracoval samostatně. Veškeré literární prameny a informace, které jsem v práci využil, jsou uvedeny v seznamu použité literatury.

Byl jsem seznámen s tím, že se na moji práci vztahují práva a povinnosti vyplývající ze zákona č. 121/2000 Sb., autorský zákon, zejména se skutečností, že Univerzita Pardubice má právo na uzavření licenční smlouvy o užití této práce jako školního díla podle § 60 odst. 1 autorského zákona, a s tím, že pokud dojde k užití této práce mnou nebo bude poskytnuta licence o užití jinému subjektu, je Univerzita Pardubice oprávněna ode mne požadovat přiměřený příspěvek na úhradu nákladů, které na vytvoření díla vynaložila, a to podle okolností až do jejich skutečné výše.

Beru na vědomí, že v souladu s § 47b zákona č. 111/1998 Sb., o vysokých školách a o změně a doplnění dalších zákonů (zákon o vysokých školách), ve znění pozdějších předpisů, a směrnicí Univerzity Pardubice č. 9/2012, bude práce zveřejněna v Univerzitní knihovně a prostřednictvím Digitální knihovny Univerzity Pardubice.

V Pardubicích dne 11. 5. 2018

Vladislav Mlejnecký

Poděkování

Na tomto místě bych rád poděkoval vedoucímu práce za cenné rady a konzultace během psaní práce a za pomoc s výrobou plošného spoje. Dále bych rád poděkoval rodině a své přítelkyni, kteří mě byli velkou oporou během celé doby studia.

ANOTACE

Bakalářská práce se zabývá návrhem základové desky počítače pro procesor realizovaný na FPGA. V práci je diskutován výběr vhodného FPGA a možnosti konfigurace FPGA. Dále jsou popsána rozhraní základních desek, která je možné implementovat, a diskutována je též implementace celé základní desky.

KLÍČOVÁ SLOVA

FPGA, DPS, základní deska, procesor

TITLE

Motherboard for FPGA based processor

ANNOTATION

This Thesis deals with the design of a motherboard for FPGA based processor. It discusses the suitable choices of FPGA and FPGA configuration options. The interfaces of the motherboards which can be implemented and the implementation of the whole motherboard are discussed as well.

KEYWORDS

FPGA, PCB, motherboard, processor

Obsah

Seznam obrázků	8
Seznam tabulek	9
Seznam zkratk	10
Úvod	12
1 Popis projektu MARK-II	13
1.1 Procesorové jádro	13
1.2 Periferie	14
1.3 Toolchain	15
2 Vybraná FPGA - Intel	16
2.1 Cyclone IV	16
2.2 Cyclone V	18
2.3 Cyclone 10	19
2.4 MAX 10	21
3 Výběr vhodného FPGA	24
4 Programování FPGA	27
4.1 USB Blaster	27
4.2 FT2232	28
4.2.1 SVF soubor	28
4.2.2 Marsohod DLL	28
4.3 Implementace programátoru	28
5 Vybraná rozhraní	30
5.1 Obrazová rozhraní	30
5.1.1 VGA	30
5.1.2 HDMI	30
5.2 Rozhraní klávesnice	31
5.2.1 PS/2	31

5.2.2	USB	32
5.3	Univerzální rozhraní	32
5.3.1	LPT	32
5.3.2	RS-232	33
5.3.3	USB	35
5.4	Síťové rozhraní	35
5.4.1	ENC28J60	36
5.4.2	DP83822	37
5.4.3	W5100	38
6	Zhodnocení a výběr rozhraní	39
7	Další periferie	41
7.1	Operační paměť	41
7.1.1	SRAM	41
7.1.2	SDRAM	42
7.2	RTC	42
7.3	Nevolatilní paměťová úložiště	43
7.3.1	Sériové paměti	43
7.3.2	Paralelní paměti	44
7.3.3	Paměťové karty	44
7.3.4	Pevné disky s rozhraním ATA	45
8	Shrnutí a definování požadavků na základní desku	46
9	Implementace	47
9.1	Sériový port RS-232	47
9.2	Virtuální sériový port	47
9.3	Obrazový výstup VGA	48
9.4	PS/2	49
9.5	Ethernet	49
9.6	Audio výstup	50
9.7	FRAM a RTC	51
9.8	NOR Flash	52

9.9	MicroSDHC	52
9.10	SDRAM	53
9.11	Oscilátory	55
9.12	Rozšiřující konektor	55
9.13	Správa napájení	56
9.14	FPGA	57
9.15	Napájecí obvod	58
10	Firmware pro správu napájení	60
11	Oživení desky a ověření funkce	61
11.1	Výroba a osazení desky	61
11.2	Oživení	62
11.2.1	Nahrání firmware do mikrokontroléru	62
11.2.2	Konfigurace obvodu FT230X	62
11.2.3	Konfigurace FPGA	63
11.3	Ověření funkce	63
	Závěr	65
	Použitá literatura	66
	Seznam příloh	69
	Příloha A	70

Seznam obrázků

1	Přehled možností konfigurace obvodů MAX 10	27
2	Konektory mini DIN pro připojení klávesnice a polohovacího zařízení	32
3	Paralelní port počítače, konektor DB-25	33
4	Sériový port počítače, konektor DE-9	34
5	USB konektor, typ A	36
6	Typické blokové zapojení obvodu ENC28J60	36
7	Typické blokové zapojení obvodu DP83822	37
8	Implementace sériového portu RS-232	47
9	Implementace virtuální sériového portu	48
10	Implementace rozhraní VGA	49
11	Implementace rozhraní PS/2	50
12	Detail zapojení řadiče ENC28J60	51
13	Schéma zapojení audio DAC	52
14	Implementace paměti FRAM a obvodu RTC	53
15	Implementace paměti NOR Flash	53
16	Implementace velkokapacitního úložiště MicroSDHC	54
17	Implementace paměti SDRAM	54
18	Detail návrhu plošného spoje v okolí SDRAM	55
19	Zapojení rozšiřujícího konektoru	56
20	Schéma zapojení napájení FPGA	57
21	Schéma zapojení speciálních pinů FPGA	58
22	Schéma zapojení napájecího obvodu	59
23	Osazená a zapájená deska	61

Seznam tabulek

1	Dostupné zdroje v jednotlivých obvodech rodiny Cyclone IV E	17
2	Dostupná pouzdra pro rodinu Cyclone IV E	17
3	Dostupné zdroje v jednotlivých obvodech rodiny Cyclone V E	18
4	Dostupná pouzdra pro rodinu Cyclone V E	19
5	Dostupné zdroje v jednotlivých obvodech rodiny Cyclone 10 LP	20
6	Dostupná pouzdra pro rodinu Cyclone 10 LP	20
7	Dostupné zdroje v jednotlivých obvodech rodiny MAX 10	22
8	Dostupná pouzdra pro rodinu MAX 10 verze s jedním napájením	22
9	Dostupná pouzdra pro rodinu MAX 10 verze s dvojitým napájením	23
10	Dostupné zdroje ve vytipovaných FPGA	25
11	Seznam příkazů pro firmware správy napájení	60

Seznam zkratek

FPGA	Field Programmable Gate Array
SoC	System On Chip
VHDL	VHSIC Hardware Description Language
CPU	Central Processing Unit
RISC	Reduced Instruction Set Computing
CPLD	Complex Programmable Logic Device
PLL	Phase-Locked Loop
LAB	Logic Array Block
HPS	Hard Processor System
ALM	Adaptive Logic Module
MLAB	Memory Logic Array Block
ADC	Analog to Digital Converter
IP	Intellectual Property
QFP	Quad Flat Package
BGA	Ball Grid Array
DPS	Deska Plošných Spojů
JTAG	Joint Test Action Group
ISP	In System Programming
MPSEE	Multi-Protocol Synchronous Serial Engine
HDMI	High-Definition Multimedia Interface
DVI	Digital Visual Interface
LPT	Line Printer Terminal
RGB	Red Green Blue
DAC	Digital Analog Converter
CEC	Consumer Electronics Control
SIMM	Single In-line Memory Module
TCP/IP	Transmission Control Protocol/Internet Protocol
MAC	Medium access control
MII	Media-independent interface
RMII	Reduced Media-independent interface
RGMII	Reduced Gigabit Media-independent interface

PHY	Physical layer
PCI	Peripheral Component Interconnect
ISA	Industry Standard Architecture
CS	Chip Select
WE	Write Enable
OE	Output Enable
SDR	Single Data Rate
DDR	Double Data Rate
CKE	Clock Enable
RTC	Real Time Clock
BIOS	Basic Input Output System
SQI	Serial Quad Interface
NGFF	Next Generation Form Format
ATA	AT Attachment
PATA	Parallel ATA
SATA	Serial ATA
HDL	Hardware Description Language
POSIX	Portable Operating System Interface

Úvod

Cílem bakalářské práce je návrh open source základní desky pro procesor realizovaný na FPGA. Základní deska se stane součástí projektu MARK-II, a bude volně dostupná pod licencí MIT na stránkách projektu.

MARK-II je projekt který si klade za cíl vytvořit otevřený osobní počítač s vlastní procesorovou architekturou. Projekt používá jako hardware vývojový kit DE0 Nano, od firmy Terasic, který, ačkoliv je pro základní vývoj vybavený dostatečně, již jako provizorní řešení nedostačuje.

Pro další rozvoj projektu tak vyvstala potřeba adekvátního hardware, který umožní jak provozování celého systému, tak ladění jeho dílčích částí. Tato bakalářská práce si klade za cíl uspokojit tuto potřebu.

Nejprve je popsán projekt MARK-II, následuje rešerše dostupných FPGA společně s výběrem vhodného obvodu. Jsou diskutována běžná rozhraní základních desek a zvolena ta, která jsou pro implementaci vhodná.

Dále se práce zabývá výběrem periférií, například paměťmi SDRAM a nevolatilními paměťmi. Následně je popsána kompletní implementace, včetně popisu firmware pro obvod správy napájení. A nakonec je popsán postup oživení navržené desky.

1 Popis projektu MARK-II

Cílem projektu MARK-II je vytvoření otevřeného osobního počítače s vlastní procesorovou architekturou. Celý projekt je dostupný na adrese https://github.com/VladisM/MARK_II a volně šiřitelný.

Většina zdrojových kódů je uvolněna pod licencí MIT. Frontend překladače jazyka C je prací Dr. Volkera Barthelmana. Frontend je tedy šířen se souhlasem autora v původní podobně s přiloženým backendem pro procesorovou architekturu MARK-II. Dokumentace k procesorovému jádru je pak dostupná pod licencí creative common.

V době psaní práce projekt obsahuje procesorové jádro, základní sadu periférií a kompletní toolchain pro psaní programů v jazyce C.

Procesorové jádro a periférie jsou psány v jazyce VHDL, jedná se tedy o takzvané soft core CPU. A pro reálnou implementaci je potřeba použití FPGA. V současné době je využíván vývojový kit DE0 Nano, který obsahuje FPGA řady Cyclone IV od firmy Intel.

Toolchain je napsán převážně v jazyce Python 2.7, kompilátor jazyka C pak v jazyce C. Veškeré součásti toolchainu jsou naprogramovány pro použití v systémech s jádrem Linux a nejsou v současné době schopny běhu na platformě Windows.

1.1 Procesorové jádro

Procesorové jádro je jednoduché, RISC, in-order jádro bez implementované pipeline nebo jakékoliv predikce skoků.

Šířka jádra je 32 bitů, k dispozici je 16 pracovních registrů včetně 3 speciálních registrů. Jádro dále obsahuje 32 bitů širokou aritmeticko-logickou jednotku, 32 bitů široký barrel shifter, rychlou jednocyklovou násobičku, celočíselnou děličku a jednotku pro práci s čísly v plovoucí řádové čárce dle IEEE-754, schopnou práce s čísly ve formátu single precision.

CPU je schopno adresace paměťového prostoru až 2^{24} slov s tím, že každé slovo má šířku 32bitů. K dispozici je společný prostor pro program i pro operační data, jedná se tedy o Von Neumannovo schéma. Všechny periférie jsou paměťově mapované.

K samotnému CPU dále těsně náleží i řadič přerušení, který je schopen zpracovat až 16 různých zdrojů přerušení včetně jejich prioritního řazení.

V návrhu procesorové architektury se odráží architektury MIPS a RISC-V. Hlavně v absenci tzv. flagů, na základně kterých se provádí u architektur, jako je například AVR,

rozhodování podmíněných skoků. Místo toho je použití podmíněných skoků navázáno na porovnávání dvou registrů, což mnohem lépe kopíruje schéma podmíněného větvení v jazyce C.

1.2 Periferie

Výběr periférií koresponduje s cílem projektu, tedy vytvořit osobní počítač. Celý projekt je koncipován jako SoC. Veškeré sběrnice mezi perifériemi a CPU jsou tedy realizovány interně v FPGA, stejně jako samotné periferie.

V době začátku psaní práce disponoval SoC on-chip paměťmi RAM a ROM, PS/2 řadičem, řadičem paměti SDRAM, dvěma druhy časovačů, sériovými porty, univerzálními IO, řadičem přerušování a generátorem grafického výstupu VGA.

Interní paměti RAM a ROM jsou malé, ale rychlé statické paměti tvořené blokovou pamětí FPGA.

V paměti ROM je nyní umístěn zavaděč, tzv. bootloader, který je schopný načíst program pomocí sériového portu z počítače a spustit jej.

Interní RAM je určena hlavně pro ladění a vývoj, její přístupová doba je mnohem kratší nežli přístupová doba paměti SDRAM, a proto je zde umístován například programový zásobník v jazyce C.

Řadič SDRAM paměti je určen pro připojení paměti velké kapacity, aktuálně se používá integrovaná paměť na kitu DE0 Nano, která disponuje kapacitou 32MB.

Sériové porty jsou určeny pro připojení k počítači či jinému procesorovému systému. Aktuálně jsou využívány hlavně pro ladění software a nahrávání programu a dat do paměti.

Řadič PS/2 a generátor grafického výstupu VGA jsou určeny pro interaktivní práci s počítačem a lze je využít jako textové rozhraní. V současné době grafický adaptér podporuje pouze textový režim s rozlišením 80x30 znaků a šestnácti barvami.

Univerzální IO porty byly využívány hlavně pro ladění před vytvořením sériového portu a nyní se prakticky nepoužívají. V blízké době tedy budou z kódu odstraněny.

Řadič přerušování tvoří prakticky součást procesoru, kromě systémové sběrnice je s ním propojený další speciální sběrnice, pomocí které řadič informuje CPU o příchozím požadavku na přerušování a předává mu adresy obslužných rutin. Dále je řadič zodpovědný za řazení požadavků do fronty a jejich povolování. Ačkoliv je provoz CPU bez řadiče přerušování možný, nedává prakticky smysl.

Časovače jsou dvojího druhu, první systémový, který je jednodušší a umožňuje pouze generovat přerušení při přetečení nebo shodě. Složitější časovače umožňují generovat i PWM modulaci ačkoliv toto není v současné době nijak využíváno, a tyto složitější časovače budou též odstraněny a nahrazeny vhodnějšími.

1.3 Toolchain

Toolchain se skládá z několika konzolových programů a několika jednoduchých knihoven. Slouží pro pohodlné programování procesoru.

Předně je zde překladač vbcc, jedná se o překladač z jazyka C do jazyka symbolických adres. Následně je potřeba assembler, který je napsaný v jazyce Python 2.7 a má základní podporu maker, návěští a jednoduchý preprocesor. Assembler je řešen jako dvou a půl průchodový, a řeší tedy i dopředné reference.

Na výstupu assembleru je objektový kód, který je možné za použití linkeru spojovat do modulů, které již lze nahrát do paměti. Linker je též napsaný v jazyce Python 2.7 a řeší propojení odkazů mezi objektovými soubory. Dále se staticky linkují předem přeložené knihovny.

Modul na výstupu linkeru je již možné nahrát do paměti procesoru za použití zavaděče, loaderu, který krom zápisu dat programu do paměti řeší i relokaci celého kódu.

Pro pohodlnou práci s periferiemi vznikly i jednoduché knihovny pro použití v jazyce C. Jedná se hlavně o hlavičkové soubory definující registry jednotlivých periférií řešené jako ukazatele.

2 Vybraná FPGA - Intel

Firma Intel má na trhu několik různých řad FPGA, které se liší svým určením. V generaci 10 jsou to:

- Intel Stratix 10
- Intel Arria 10
- Intel Cyclone 10
- Intel MAX 10

Kromě MAX 10 se všechny řady vyrábějí i ve formě SoC, s integrovanými ARM jádry Cortex A9 a A53. [15]

Řada Stratix 10 je určena pro high-end aplikace, čemuž odpovídá výbava těchto čipů i jejich cena.

Levnější variantou je řada Arria 10. V době psaní práce je v obchodě mouser k dispozici nejlevnější FPGA řady Arria 10 čip 10AX016C4U19E3SG. Toto konkrétní FPGA je nejmenší z rodiny Arria 10 a obsahuje 160 tisíc logických elementů, 440 paměťových bloků M20K a 312 rychlých násobiček 18x19. S cenovkou 326 amerických dolarů je i tato řada mimo přípustný výběr.

Cenově přístupnější jsou až řady Cyclone 10, zvláště pak Cyclone 10 LP, a řada MAX 10. Nabízejí stále dostatečnou výbavu pro většinu aplikací při zachování nízké ceny. Nejmenší Cyclone 10 LP, čip 10CL006YU256C8G, je možné pořídit už za 7,20 amerických dolarů. Nejmenší zástupci řady MAX 10, například čip 10M02DCV36C8G, se dá pořídit již za necelé 4 americké dolary.

V úvahu tedy přicházejí řady MAX 10 a Cyclone 10, případně starší rodiny Cyclone. Starší rodiny MAX použít nelze, neboť se jedná o CPLD, nikoliv FPGA, s příliš malou kapacitou.

2.1 Cyclone IV

Řada Cyclone IV je starší řada FPGA postavená na 60nm procesu. [15] Tato řada se dále dělí na dvě podskupiny [4]:

- Cyclone IV E
- Cyclone IV GX

Tabulka 1: Dostupné zdroje v jednotlivých obvodech rodiny Cyclone IV E

	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Počet logických elementů	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
Velikost SRAM (Kbit)	270	414	504	594	594	1,134	2,340	2,745	3,888
Počet násobiček 18x18	15	23	56	66	66	116	154	200	266
Počet PLL	2	2	4	4	4	4	4	4	4
Maximální počet IO	179	179	343	153	532	532	374	426	528

Tabulka 2: Dostupná pouzdra pro rodinu Cyclone IV E

Pouzdro	E144	M164	M256	U256	F256	F324	U484	F484	F780
Rozměry (mm)	22x22	8x8	9x9	14x14	17x17	19x19	19x19	23x23	29x29
Obvod	Počet IO pinů								
EP4CE6	91	-	-	66	66	-	-	-	-
EP4CE10	91	-	-	179	179	-	-	-	-
EP4CE15	81	89	165	165	165	-	-	343	-
EP4CE22	79	-	-	153	153	-	-	-	-
EP4CE30	-	-	-	-	-	193	-	328	532
EP4CE40	-	-	-	-	-	193	328	328	532
EP4CE55	-	-	-	-	-	-	324	324	374
EP4CE75	-	-	-	-	-	-	292	292	426
EP4CE115	-	-	-	-	-	-	-	280	528

Cyclone IV GX obsahuje oproti řadě Cyclone IV E navíc 3.125 Gbps transeivery, Cyclone IV E je oproti tomu levnější a úspornější.

Tabulka 1 shrnuje dostupné zdroje v jednotlivých čípech rodiny Cyclone IV E. Tabulka 2 pak sumarizuje dostupná pouzdra jednotlivých čipů a celkový počet vstupně výstupních pinů které jsou k dispozici. [4]

Cyclone IV E obsahuje interní SRAM paměť tvořenou pamětovými bloky M9K. Velikost jednoho bloku je 9216 bitů a je možné je konfigurovat různými způsoby, včetně vzájemného spojování do větších celků, včetně dvouportových pamětí.

Přípustné konfigurace jsou 8192x1, 4096x2, 2048x4, 1024x8, 1024x9, 512x16, 512x18, 256x32, 256x36. Paměti se dají používat jako prosté SRAM paměti, případně jako FIFO buffery, včetně dual clock FIFO. Při konfiguraci FPGA je možné inicializovat i tyto pamětové bloky daty a ty pak mohou plnit úlohu různých tabulek.

Logické elementy jsou základní a univerzální stavební bloky v FPGA, mohou být konfigurovány ve dvou režimech, a sice v *normálním módu* a *aritmetickém módu*. Normální

Tabulka 3: Dostupné zdroje v jednotlivých obvodech rodiny Cyclone V E

	5CExA2	5CExA4	5CExA5	5CExA7	5CExA9
Počet logických elementů (K)	25	49	77	150	301
Počet ALM	9,434	18,480	29,080	56,480	113,560
Velikost SRAM (Kbit)	1,760	3,080	4,460	6,860	12,200
Počet násobiček 18x18	50	132	300	312	684
Počet PLL	4	4	6	7	8
Maximální počet IO	224	224	240	480	480

mód je vhodný pro implementaci logických funkcí, zatímco aritmetický mód je vhodnější pro implementaci sčítaček, čítačů, akumulátorů a komparátorů.

Šestnáct logických elementů se sdružuje do tzv. LABu, který sdružuje hodinové signály, řídicí signály a řeší globální propojení logických elementů.

2.2 Cyclone V

Oproti Cyclone IV, je Cyclone V novější generací FPGA, postavenou na 28nm výrobním procesu. [6] Díky tomu je o mnoho úspornější a dokáže pracovat s vyššími frekvencemi. Podobně jako Cyclone IV, je i Cyclone V dostupný ve více podrodinnách, a sice:

- Cyclone V E - základní varianta
- Cyclone V GX - řada vybavena 3.125 Gbps transceivery
- Cyclone V GT - řada vybavena 6.144 Gbps transceivery
- Cyclone V SE - základní varianta s HPS
- Cyclone V SX - řada vybavena 3.125 Gbps transceivery a HPS
- Cyclone V ST - řada vybavena 6.144 Gbps transceivery a HPS

Základní řada Cyclone V E obsahuje celkem 5 různých čipů od sebe se lišících dostupností pouzder a výbavou. V tabulce 3 je soupis dostupných zdrojů v jednotlivých obvodech rodiny Cyclone V E. V tabulce 4 se pak nachází dostupná pouzdra rodiny Cyclone V E a počet IO pinů v jednotlivých pouzdrech dostupných.

V rodině Cyclone V došlo k vylepšení základních stavebních bloků, logických elementů na adaptivní logické moduly, tzv. ALM. Tyto se opět sdružují do LABů. Kromě obvyčejných LABů je zde i jeden další typ, MLAB, který je možné konfigurovat buďto jako logický obvod, nebo paměť SRAM. Každý ALM v MLABu lze nakonfigurovat jako paměť 32x2 bitů. [5]

Tabulka 4: Dostupná pouzdra pro rodinu Cyclone V E

Pouzdro	M383	M484	U324	F256	U484	F484	F672	F896
Rozměry (mm)	13x13	15x15	15x15	17x17	19x19	23x23	27x27	31x31
Obvod	Počet IO pinů							
5CExA2	223	-	176	128	224	224	-	-
5CExA4	223	-	176	128	224	224	-	-
5CExA5	175	-	-	-	224	240	-	-
5CExA7	-	240	-	-	240	240	336	480
5CExA9	-	-	-	-	240	224	336	480

Dále oproti Cyclone IV došlo k obměně paměťových bloků M9K za bloky M10K, které jsou větší, včetně paritích bitů mají kapacitu 10240 bitů. Konfigurace těchto paměťových bloků je obdobná jako u bloků M9K, je tedy možné paměťové bloky M10K konfigurovat jako:

- jednoportovou paměť RAM
- dvouportovou paměť RAM
- dvouportovou paměť RAM sedvěma hodinovými doménami
- posuvný registr
- paměti typu ROM
- FIFO

Paměť tvořenou bloky MLAB je možné využívat stejně jako bloky M10K s výjimkou dvouportové paměti RAM se dvěma hodinovými doménami.

2.3 Cyclone 10

Obdobně jako u předchozích řad Cyclone, je i v této rodině na výběr ze dvou podrodin. Jsou jimi Cyclone 10 GX a Cyclone 10 LP.

Cyclone 10 GX je vybavena 12.5 Gbps transceivery, které je možné použít pro implementaci PCIe rozhraní, Cyclone 10 LP je oproti tomu koncipován pro produkty citlivější na cenu a těmito transceivery vybaven není. [15]

V řadě Cyclone 10 LP lze nalézt celkem 8 různých čipů navzájem se lišících dostupnými zdroji a kapacitou. Přehledně jsou tyto čipy zaneseny v tabulce č. 5, která je převzata z dokumentace firmy Intel.

Počet IO pinů, které jsou k dispozici v jednotlivých pouzdrech, shrnuje tabulka 6.

Tabulka 5: Dostupné zdroje v jednotlivých obvodech rodiny Cyclone 10 LP

	10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
Počet logických elementů	6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
Velikost SRAM (Kbit)	270	414	504	594	1,134	2,340	2,745	3,888
Počet násobiček 18x18	15	23	56	66	126	156	244	288
Počet PLL	2	2	4	4	4	4	4	4
Maximální počet IO	176	176	340	150	325	321	423	525

Tabulka 6: Dostupná pouzdra pro rodinu Cyclone 10 LP

Pouzdro	M164	U256	U484	E144	F484	F780
Rozměry (mm)	8x8	14x14	19x19	21x21	23x23	29x29
Obvod	Počet IO pinů					
10CL006	-	176	-	88	-	-
10CL010	101	176	-	88	-	-
10CL016	87	162	340	78	340	-
10CL025	-	150	-	76	-	-
10CL040	-	-	325	-	325	-
10CL055	-	-	321	-	321	-
10CL080	-	-	289	-	289	423
10CL120	-	-	-	-	277	525

S rodinou Cyclone 10 se Intel vrací zpátky k architektuře podobné té, která byla zavedena u rodiny Cyclone IV. Nejmenší stavebním prvkem jsou tedy logické elementy se čtyřvstupovou look-up tabulkou. Dále zde nalezneme bloky pro realizaci násobiček, každý takový blok může být konfigurován jako násobička 18x18 nebo dvě nezávislé násobičky 9x9.

Kromě násobiček a logických elementů se v FPGA řady Cyclone 10 nachází i paměťové bloky M9K, které je možno konfigurovat obdobným způsobem jako u řady Cyclone IV.

2.4 MAX 10

Řada MAX 10 je od Intelu zajímavou řadou FPGA. Jedná se o FPGA určené do low cost aplikací, které v sobě integruje více periférií. [20]

Předně je to konfigurační paměť. U řad Cyclone je nutné k uložení vnitřní konfigurace FPGA použít externí paměť, která je drahá, zvyšuje nároky na desku plošných spojů a tím i její cenu. MAX 10 integruje konfigurační paměť spolu s FPGA do jednoho pouzdra. Část konfigurační Flash paměti může být využita pro uložení uživatelských dat.

Dále je u vybraných typů integrován i analogově-digitální převodník s rozlišením 12 bitů, schopný snímání rychlostí až 1 MSPS. Krom externích vstupů je integrovaný AD převodník schopný měřit i teplotu samotného čipu.

Další výhodou této řady je fakt, že některé čipy jsou k dispozici ve verzi Single Supply a k jejich napájení stačí jediný zdroj napětí 3,3V, jedná se o příjemnou skutečnost, která opět šetří místo na desce plošných spojů a zjednodušuje návrh.

V této řadě je dostupných několik různých podrodin. Předně se celá řada dělí na Single Supply a Dual Supply čipy. Dual supply obvody nabízejí větší výkon, ale ke svému provozu potřebují napájecí napětí 1,2V a 2,5V, mnohdy též i 3,3V. Obvody Single Supply integrují lineární stabilizátor, a vystačí si tedy s jedním napájecím napětím o velikosti 3,3V nebo 3V, na druhou stranu dosahují menších pracovních frekvencí.

Single Supply a Dual Supply se i dále dělí podle integrovaných periférií do následujících tří skupin, přičemž Single Supply obvody jsou dostupné pouze ve verzi Compact nebo Analog.

- *Compact* - Jednoduchá FPGA s interní konfigurační pamětí pro jedno konfigurační schéma.

Tabulka 7: Dostupné zdroje v jednotlivých obvodech rodiny MAX 10

	10M02	10M04	10M08	10M16	10M25	10M40	10M50
Počet logických elementů	2k	4k	8k	16k	25k	40k	50k
Velikost SRAM (Kbit)	108	189	378	549	675	1,26	1,638
Počet násobiček 18x18	16	20	24	45	55	125	144
Počet PLL	2	2	2	4	4	4	4
Maximální počet IO	160	246	250	320	360	500	500

Tabulka 8: Dostupná pouzdra pro rodinu MAX 10 verze s jedním napájením

Pouzdro	M153	U169	E144
Rozměry (mm)	8x8	11x11	22x22
Obvod	Počet IO		
10M02S	112	130	101
10M04S	112	130	101
10M08S	112	130	101
10M16S	-	130	101
10M25S	-	-	101
10M40S	-	-	101
10M50S	-	-	101

- *Flash* - Obsahuje navíc místo pro druhé konfigurační schéma a podporuje inicializaci paměťových bloků M9K.
- *Analog* - Krom druhého konfiguračního schématu integrují i ADC převodník.

Zdroje dostupné v jednotlivých obvodech řady MAX10 jsou sepsány v tabulce 7, která je převzata z dokumentace výrobce. Hodnoty zde uvedené platí s drobnými rozdíly pro obě varianty napájení. Nejpodstatnější rozdíl je dostupnost bloků PLL v Single Supply obvodech, kde je tato integrována pouze jedna.

Dostupnost jednotlivých čipů rodiny v různých pouzdrech shrnují tabulky 8 a 9. Tabulky jsou dvě, protože čipy s jedním napájecím napětím a dvěma napájecími napětími jsou dostupné v různých pouzdrech.

Vnitřní architektura logických elementů je u rodiny MAX 10 prakticky shodná s rodinou Cyclone 10. Shodné jsou i paměťové bloky M9K, které lze opět konfigurovat jako jednoportové paměti, dvouportové paměti a dvouportové paměti s oddělenými hodinovými domény.

Tabulka 9: Dostupná pouzdra pro rodinu MAX 10 verze s dvojitým napájením

Pouzdro	W36	W81	U324	F256	F484	F672
Rozměry (mm)	3x3	4x4	15x15	17x17	23x23	27x27
Obvod	Počet IO					
10M02	27	-	160	-	-	-
10M04	-	-	246	178	-	-
10M08	-	56	246	178	250	-
10M16	-	-	246	178	320	-
10M25	-	-	-	178	360	-
10M40	-	-	-	178	360	500
10M50	-	-	-	178	360	500

3 Výběr vhodného FPGA

Výběr vhodného typu FPGA ovlivňuje mnoho faktorů. Především pak cena, vybavenost konkrétního čipu, maximální rychlost čipu, dostupnost nástrojů či IP jader.

V kapitole 2 byla provedena rešerše aktuálních produktů, které jsou na trhu k dispozici od firmy Intel. FPGA od jiných výrobců byla z rešerše vypuštěna, neboť v projektu MARK-II jsou použita IP jádra poskytována firmou Intel a není možné je jednoduše portovat na FPGA jiných výrobců. Příkladem budiž FPU část procesoru, která by musela být výrazně přepsána.

Z rešerše byly taktéž vypuštěny produktové rodiny Cyclone III a starší, rodiny Stratix a rodiny Arria. Rodiny Stratix a Arria jsou pro projekt podobného rozsahu cenově nepřijatelné. Rodiny Cyclone III a starší jsou pak již legacy produkty a nedoporučuje se jejich použití v nových produktech.

Ve výběru tedy zůstávají řady Cyclone 10, Cyclone V, Cyclone IV a MAX 10. Jedním z požadavků je co nejnižší cena desky, a možnost snadného domácí osazení. Bylo by tedy vhodné použít čip v nějaké variantě pouzdra QFP, protože pájení pouzder typu BGA je v domácích podmínkách náročné. Použitím pouzdra QFP se taky sníží cena DPS, protože ji bude možné realizovat jako čtyřvrstvou, u pouzdra BGA s vyšším počtem pinů by toto mohl být problém a řešení by vyžadovalo DPS šestivrstvou.

Díky tomuto požadavku je řada Cyclone V postavena mimo výběr, protože ta je dostupná pouze v pouzdrech BGA viz. tabulka 4.

Dalším kritériem při výběru je velikost, respektive kapacita daného FPGA. Projekt MARK-II potřebuje přibližně 12 tisíc logických elementů, 30 násobiček a alespoň 39 paměťových bloků M9K. 39 bloků M9K je ovšem nutné minimum, pro realizaci větších interních pamětí by bylo vhodnější alespoň dvojnásobné množství. Pro další možné rozšiřování by taktéž bylo vhodné mít k dispozici více logických elementů.

Z řady MAX 10 těmto kritériím vyhoví obvod 10M25S, z řady Cyclone IV pak EP4CE22 a z řady Cyclone 10 obvod 10CL025.

Všechny tři obvody se vyrábí v pouzdrech TQFP. Dostupné zdroje shrnuje tabulka 10. Data jsou převzata z produktového katalogu firmy Intel.

Tabulka 10: Dostupné zdroje ve vytipovaných FPGA

	10M25S	EP4CE22	10CL025
Počet logických elementů	25k	22k	25k
Velikost SRAM (Kbit)	675	594	594
Počet paměťových bloků M9K	75	66	66
Počet násobiček 18x18	55	66	66
Počet PLL	1	4	4
Dostupné IO piny	101	79	76

Následující seznam shrnuje pro a proti u jednotlivých obvodů uvedených v tabulce 10.

10M25S

- + Nejvíce IO pinů
- + Více paměťových bloků
- + Integrovaná konfigurační paměť
- + Jen jedno napájecí napětí
- Nejdražší z vybraných
- Pouze jedna PLL

EP4CE22

- + Dostupné 4 PLL
- + Není třeba portovat projekt MARK-II
- + Dostupné v rychlejších variantách
- Složitější napájecí schéma
- Potřebuje externí konfigurační paměť
- Malý počet IO pinů

10CL025

- + Dostupné 4 PLL
- + Nejlevnější z vybraných
- + Dostupné v rychlejších variantách
- Složitější napájecí schéma
- Potřebuje externí konfigurační paměť
- Malý počet IO pinů

Konečný výběr vhodného FPGA není jednoduchý a neobejde se bez kompromisů. U čipů EP4CE22 a 10CL025 jsou velkou výhodou 4 dostupné PLL, u 10M25S je dostupná

pouze 1 PLL a bylo by případně nutné použít více externích oscilátorů, hlavně pak pro taktování sériových portů. Na druhou stranu, 10M25S má k dispozici výrazně více IO pinů, což jistě při navrhování rozhraní pro externí paměť přijde vhod, navíc integruje konfigurační paměť, čímž zjednodušuje návrh desky plošných spojů. Dalším velkým plusem je potřeba pouze jednoho napájecího napětí.

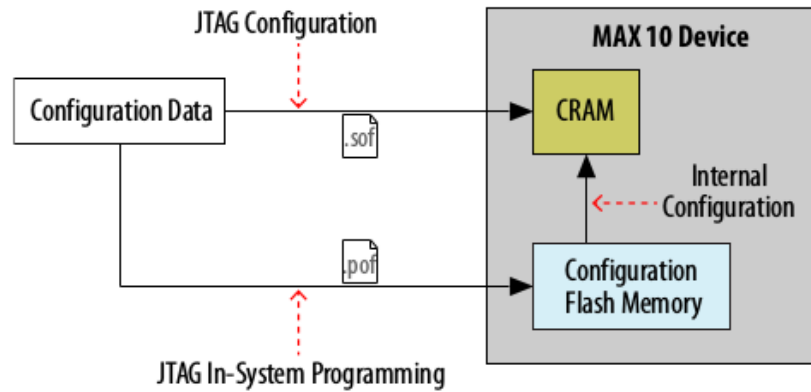
Ačkoliv je řešení na 10M25S díky ceně čipu dražší, absence externí konfigurační paměti a pouze jedno napájecí napětí celkovou cenu spíše snižují. Proto a hlavně pro větší počet IO pinů byl zvolen obvod 10M25S.

Obvod 10M25S je ale možné dostat ve dvojm provedení, a sice 10M25SA a 10M25SC. Jedná se o verze Compact nebo Analog. Verze Analog je oproti verzi Compact vybavená integrovaným AD převodníkem, který sice nebude využit, ovšem verze Compact neumožňuje konfiguraci s inicializací interních paměťových bloků. [19] Protože jsou tyto bloky ale použity, například v generátoru znaků, jako paměti ROM, nepřipadá verze Compact v úvahu.

Celá deska se tedy bude realizovat na čipu 10M25SAE144C8G.

4 Programování FPGA

Vybraný obvod z rodiny MAX 10 integruje konfigurační paměť, díky tomu je celé konfigurační schéma velice jednoduché. Přehledně jej dokumentuje obrázek 1 převzatý z [19].



Obrázek 1: Přehled možností konfigurace obvodů MAX 10

Pro připojení programátoru k obvodu FPGA se používá čtyřvodičové rozhraní JTAG, skrze toto rozhraní je možné programovat samotné FPGA, ale stejně tak i interní konfigurační paměť. Obvody rodiny MAX 10 nabízí tedy dva různé způsoby konfigurace.

1. *JTAG konfigurace* - Přímé nahrání konfigurace do FPGA pomocí rozhraní JTAG.
2. *Interní konfigurace* - Konfigurace FPGA z interní konfigurační Flash paměti, tuto paměť je třeba předem naprogramovat pomocí JTAG ISP.

Pro vytvoření propojení mezi PC a FPGA se používají různé programátory. Existuje několik způsobů, jak lze takovýto programátor realizovat i jako součást výsledného produktu, většinou jsou založeny na použití obvodu FT2232 firmy FTDI. Jedním z cílů této práce je i zvážit možnost implementace právě takového jednoduchého programátoru do navrhované desky. V následujících podkapitolách jsou popsána možná řešení.

4.1 USB Blaster

Nejjednodušší možností je použít originální USB Blaster, což je programátor dodávaný přímo společností Intel a v době psaní práce jeho cena činí 300 amerických dolarů.

Levnější možností je použít USB Blaster Download Cable, dodávaný společností Terasic s cenou 50 amerických dolarů. [28]

Nejlevnější cestou je pořízení čínského klonu USB Blasteru, na aukčních portálech typu ebay, kde se jejich cena pohybuje okolo 4 amerických dolarů. Funkčnost a spolehlivost takového řešení je ale samozřejmě sporná.

Výhodou řešení postaveného na USB Blasteru je to, že není potřeba nic složitějšího na finální DPS integrovat, stačí vložit konektor, na který se navedou signály rozhraní JTAG přímo z FPGA. Nevýhodou je, že k programování je potřeba použít další zařízení, což při častější manipulaci může být nepohodlné.

4.2 FT2232

Mnoho alternativ k USB Blasteru je založeno právě na čipu FT2232, který je pro takovou úlohu velice vhodný. Čip FT2232 je vybavený dvěma jednotkami MPSSE, díky čemuž může zprostředkovávat jak JTAG rozhraní pro programování FPGA, ale i například sériové rozhraní skrze jediný USB port. [10]

4.2.1 SVF soubor

Jedním z možných řešení postaveném na obvodu FT2232 je použití souborů SVF. SVF soubor je textový soubor obsahující JTAG příkazy a konfigurační data pro naprogramování připojeného zařízení. Tento soubor je možné vytvořit ve vývojovém prostředí Quartus a poté použít nástroje třetích stran k samotné konfiguraci FPGA. [27]

Jedním z nástrojů, který lze pro interpretaci SVF souboru použít, je například OpenOCD, případně open source nástroj MBFTDI z projektu marsohod.

4.2.2 Marsohod DLL

V projektu marsohod vznikla také DLL knihovna která, umožňuje použití obvodu FT2232 jako programátoru přímo z prostředí Quartus. Knihovna je volně k dispozici ke stažení. Kromě programování je možné takový programátor použít i k práci s analyzátozem Signal Tap. [22]

4.3 Implementace programátoru

Ačkoliv je implementace pomocí obvodu FT2232 lákavá možnost, není příliš vhodná. Řešení konfigurace FPGA pomocí SVF souboru je sice reálné, ale neumožňuje ladění. Pro

ladění by šlo použít projektu Marsohod a jejich DLL. Toto DLL ovšem není otevřeným softwarem a jeho dlouhodobá funkčnost tedy může být nejistá.

Nejspolehlivější možností se tedy jeví vyvedení konektoru pro rozhraní JTAG s použitím externího programátoru.

5 Vybraná rozhraní

5.1 Obrazová rozhraní

Jedním z nejzákladnějších rozhraní osobního počítače je rozhraní pro připojení obrazovky. Existuje mnoho způsobů, jak v současnosti připojit monitor k počítači. Ať už analogové S-Video, či VGA či digitální HDMI nebo DisplayPort. Na pomezí mezi digitálním a analogovým rozhraním stojí též DVI. Některá tato rozhraní jsou zde dále popsána.

5.1.1 VGA

Rozhraní VGA je jedno ze starších rozhraní pro obrazový výstup, a ačkoliv je v současné době k dispozici mnohem výkonnější rozhraní HDMI nebo DisplayPort, je rozhraní VGA stále často používáno. Je to dáno hlavně jeho jednoduchou implementací.

Rozhraní VGA používá konektor DE-15 ze stejné rodiny D-Sub jako rozhraní LPT (část 5.3.1) nebo RS-232 (část 5.3.2). Jeho zapojení je jednoduché. Tři piny jsou vyhrazeny pro úroveň barevných složek RGB. Jeden pin pro vertikální synchronizaci, druhý pro horizontální. Dalších pět pinů je vyhrazených pro zem. Jeden pin nese napájení +5V. A zbývající 4 piny jsou využívány pro identifikaci monitoru.

Pro generování výstupních průběhů na barevných signálech lze využít například integrovaný DAC převodník ADV7123 nebo v případě menšího barevného rozlišení lze jednoduše poskládat odporovou síť R2R.

5.1.2 HDMI

Oproti VGA je HDMI digitální rozhraní, které přenáší obrazový a zvukový signál bez komprese. HDMI používá devatenáctipinový konektor, komunikace probíhá pouze v jednom směru po třech párech diferenciálních datových vodičů a jednom páru diferenciálního hodinového signálu. [11]

HDMI obsahuje též CEC, což je rozhraní, které umožňuje uživateli jedním ovladačem ovládat obě zařízení propojená kabelem HDMI. Například dálkovým ovladačem televize lze ovládat DVD přehrávač. [3]

V běžných základních deskách osobních počítačů, včetně grafických karet pro ně určených, se HDMI vyskytuje běžně. V laptotech je využíván hlavně pro svoje malé rozměry.

U počítačových grafických karet, případně na základních deskách, je často doplněn dalším rozhraním, ať už analogovým VGA nebo digitálním DVI-D.

Pro implementaci HDMI se dají pořídit speciální budiče kterým se paralelní sběrnici posílají data o barvě pixelu a pixelové hodiny, případně je možné signály rozhraní HDMI generovat na některých FPGA přímo.

5.2 Rozhraní klávesnice

Dalším fundamentálním rozhraním je, po obrazovém výstupu, rozhraní pro připojení klávesnice. Pro připojení klávesnice jsou k dispozici v podstatě jen dvě možnosti, a sice PS/2 společně s USB.

Rozhraní USB v současné době prakticky vytlačilo PS/2, ačkoliv se stále dají pořídit klávesnice právě s tímto rozhraním a stejně tak základní desky tímto rozhraním občas disponují.

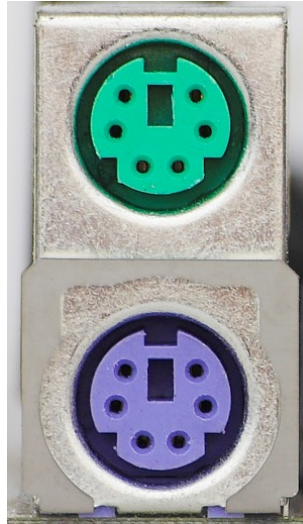
5.2.1 PS/2

Rozhraní PS/2 je staré rozhraní, které se poprvé objevilo s počítači Personal System/2 firmy IBM. [18] Ačkoliv se počítače řady Personal System/2 jako celek příliš neprosadily, některé prvky, jako například 3.5" disketová mechanika s kapacitou 1.44 MB, 72 pinové paměťové moduly SIMM nebo právě konektor pro klávesnici PS/2, se postupně staly běžným standardem v osobních počítačích. [13]

Pomocí tohoto rozhraní je možné připojit jak počítačovou klávesnici tak i polohovací zařízení, například myš. Použité rozhraní je mechanicky i elektricky stejné, ovšem pro komunikaci s polohovacím zařízením se využívá odlišný protokol, a proto není možné konektory zaměnit. Pro jejich rozlišení se používá barevného značení, přičemž pro klávesnici je užito fialové barvy a pro polohovací zařízení zelené.

Použitý konektor je typu mini DIN se šesti piny. Na obrázku 2 jsou tyto konektory dva, jeden pro připojení klávesnice a druhý pro připojení polohovacího zařízení, tak jak je možné je většinou najít na základních deskách osobních počítačů. Obrázek je převzat ze stránek <https://commons.wikimedia.org>.

Ačkoliv použitý konektor disponuje šesti piny, fakticky se používají pouze čtyři. Dva piny jsou vyhrazeny pro napájení +5V, další dva piny jsou vyhrazeny pro komunikaci, jeden slouží jako datový vodič a druhý je hodinový. Zbylé dva piny konektoru se nezapojují,



Obrázek 2: Konektory mini DIN pro připojení klávesnice a polohovacího zařízení

čehož bylo občas využíváno, například v laptotech, kdy se na volné dva piny přivedly další dva signály, jeden datový a druhý hodinový. Tento druhý pár vodičů pak sloužil pro připojení polohovacího zařízení s tím, že pro současný provoz klávesnice a myši je zapotřebí speciální Y kabel.

5.2.2 USB

V současné době je pro připojení klávesnice k osobnímu počítači zcela běžně užíváno rozhraní USB, které blíže popisuje kapitola 5.3.3.

5.3 Univerzální rozhraní

Mezi důležitá rozhraní běžných osobních počítačů patří též univerzální rozhraní, které uživateli umožňuje připojit různé druhy periferních zařízení. V této podkapitole jsou diskutovány paralelní a sériové porty spolu s porty USB, které v dnešní době plní tuto funkci téměř výhradně.

Další sběrnice, jako například Thunderbolt nebo FireWire, jsou díky své komplexnosti nad rámec této práce, a proto v této kapitole diskutovány nejsou.

5.3.1 LPT

LPT, neboli paralelní port, byl dříve běžnou součástí PC. K přenosu používá osm datových vodičů a devět řídicích vodičů. Komunikace probíhá paralelně, po všech osmi vodičích v jeden okamžik.



Obrázek 3: Paralelní port počítače, konektor DB-25

Původním účelem paralelního portu byla komunikace s tiskárnou. Jednalo se tedy o jednosměrný přenos dat. Později byly přidány další režimy, které umožňovaly i obousměrný přenos dat. V roce 1994 byl paralelní port standardizován jako IEEE 1284. [12]

Paralelní port se stal oblíbeným rozhraním pro konstrukci jednoduchých elektronických zařízení a používal se v hojné míře pro jejich řízení, a to hlavně pro jednoduchost jeho obsluhy.

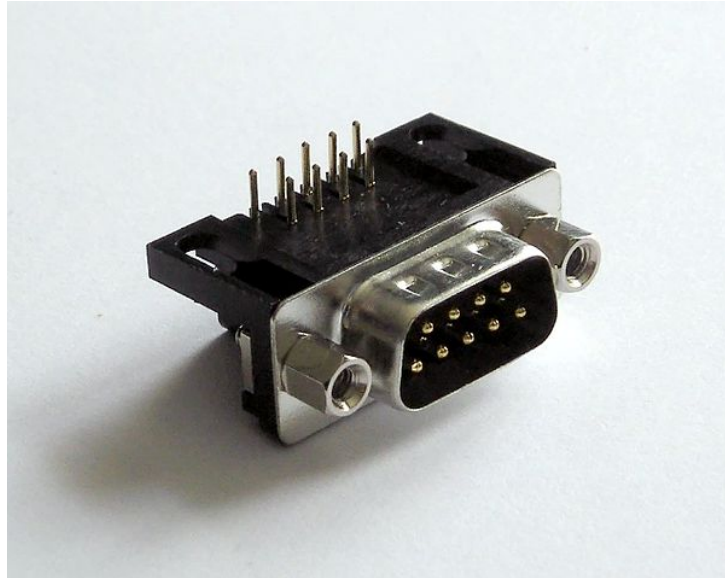
V dnešní době se LPT port příliš nevyužívá, z většiny počítačů byl vytlačen hlavně sběrnicemi USB. Další nevýhodou, kterou paralelní port skýtá, jsou rozměry konektoru a nízká přenosová rychlost.

LPT port lze nalézt nejčastěji v podobně konektoru DB-25, na některých základních deskách je vyveden pouze tzv. pin header, do kterého se dá plochým kabelem připojit záslepka s DB-25 konektorem. Konektor DB-25 je na obrázku 3, převzatém ze stránek <http://retroelektronik.com>.

5.3.2 RS-232

Standart RS-232 je mnohem starší rozhraní než LPT. Poslední verze, tedy RS-232C, pochází z roku 1969. [23] Rozhraní RS-232, nebo taky sériový port, se používá na propojení dvou zařízení a jejich vzájemnou komunikaci, na rozdíl od paralelního portu ale přenášená data posílá sériově, po jednom datovém vodiči v každém směru.

V současné době se běžně na osobních počítačích nevyskytuje, ačkoliv má svoje nezastupitelné místo v průmyslu a mikroprocesorové technice. Používá se jako vzdálená konzole různých embedded systémů, jako správcovská konzole na některých síťových prv-



Obrázek 4: Sériový port počítače, konektor DE-9

cích, jeho obdoby RS-485 a RS-422 se široce uplatňují v průmyslu pro různé senzorové sítě a podobně. Dříve se na osobních počítačích používal hlavně pro připojení modemů.

Díky takto stále širokému uplatnění jsou běžně rozšířeny různé přídatné karty do PC, které implementují jeden či více sériových portů, či případně levné převodníky připojující se na sběrnici USB. Příkladem takového převodníku může být hojně rozšířený obvod FT232 nebo jednodušší FT230.

Jako standardní konektor pro rozhraní RS-232 se používá konektor DE-9, viz obrázek 4 převzatý ze stránek <https://commons.wikimedia.org>. Konektor obsahuje 9 vodičů, jedním je společná zem, dva jsou vyhrazeny pro přenos dat, který může probíhat v obou směrech nezávisle, tedy full duplex. Dále konektor obsahuje 6 řídicích signálů, které signalizují různé provozní stavy.

Na rozdíl od paralelního portu nejsou napěťové úrovně 0V a 5V, ale používá se vyšší napětí společně se stejně velkým záporným napětím. Toto opatření zvyšuje odolnost komunikace proti rušení. Pro logickou nulu se používá napětí +3V až +15V, pro logickou jedničku pak napětí -3V až -15V. [23]

Kvůli použití vyššího napětí je kromě samotného USB převodníku FT230 potřeba i další obvod, který přizpůsobí napěťové úrovně. Pro toto se velice často využívají obvody MAX232 a jejich obdoby.

5.3.3 USB

Během posledních let se stalo rozhraní USB zcela běžnou součástí osobních počítačů a zcela vytlačilo rozhraní RS-232 a LPT. Jedním z důvodů masového úspěchu USB je bezpochyby nenáročnost použití uživatelem.

K portům USB se běžně připojují paměťové klíčenky, externí disky a mechaniky, tiskárny, skenery, externí zvukové karty, tunery, modemy, webkamery, klávesnice či myši a mnohé další. S posledními verzemi rozhraní USB je již možné připojit i externí monitory či gigabitové síťové řadiče.

Rozhraní USB má za sebou více než 20 let vývoje [29] a jeho první verze USB 1.0-RC vyšla v roce 1995. Od té doby vyšlo několik dalších revizí, které postupně zvyšovaly rychlost rozhraní.

Na sběrnici USB je vždy jen jedno rozhraní typu *Master* a ostatní jsou typu *Slave*. Master, obvykle PC, řídí a inicializuje veškerou komunikaci na sběrnici.

USB je sériová sběrnice, k vedení informace se používá pár signálových vodičů, přičemž tyto jsou zapojeny diferenciálně. Dále je v USB konektoru přítomno napájecí napětí 5V, které může připojené zařízení použít pro svoje napájení.

Původní USB 1.0, ale taky USB 1.1 spolu s USB 2.0 obsahuje celkem 4 vodiče, dva pro napájení a dva pro data. Nejčastěji používaný konektor na straně PC je tzv. typ A. Tento konektor je na obrázku 5, obrázek je převzat ze stránek <https://uge-one.com/>.

Přenosové rychlosti se pro různé revize liší od 1.5 Mb/s pro USB 1.1 lowspeed až po 20 Gb/s pro USB 3.2. Mezi jednotlivými standarty je však zachována zpětná kompatibilita a není problém zapojit zařízení verze USB 2.0 do portu USB 3.0.

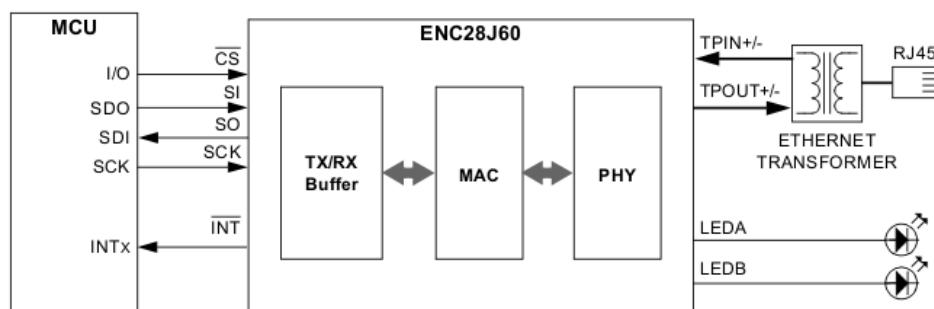
5.4 Síťové rozhraní

Síťové rozhraní slouží pro připojení počítače k místní počítačové síti a umožňuje komunikaci mezi počítači. V současné době je k tomuto v osobních počítačích téměř výhradně používán Ethernet. Alternativy sice existují, ale jsou například určeny pro velice specifické nasazení (např. InfiniBand) nebo se jedná o historické technologie, které se již běžně nepoužívají (např. TokenRing).

Paralelně s metalickým rozhraním Ethernet se používá i bezdrátové rozhraní WiFi (IEEE 802.11) a různá optická rozhraní Ethernet, standardizovaná též pod IEEE 802.3.



Obrázek 5: USB konektor, typ A

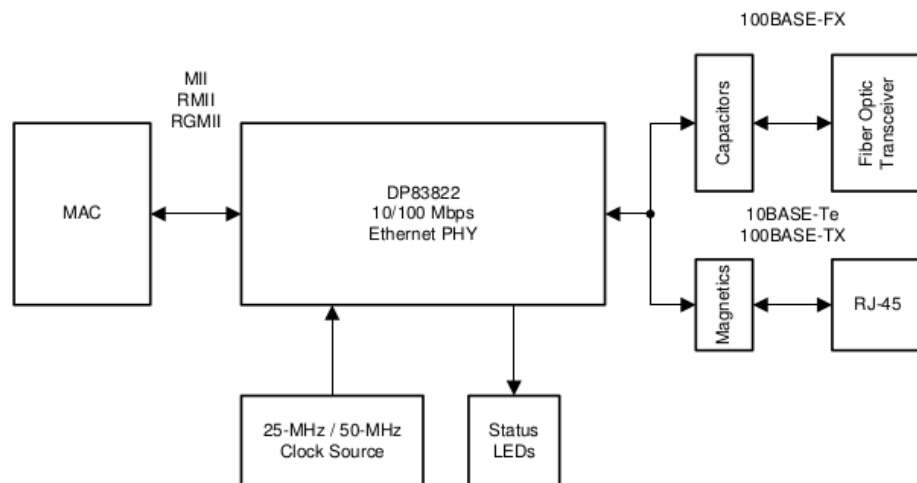


Obrázek 6: Typické blokové zapojení obvodu ENC28J60

Kvůli povaze práce nemá smysl se zabývat bezdrátovými technologiemi, protože základní deska má být koncipována spíše jako osobní počítač typu desktop. Stejně tak nemá smysl se zabývat optickými rozhraními, která sice nabízí vysokou datovou propustnost, ale projekt MARK-II by ji plně nedokázal využít. Z tohoto důvodu tato podkapitola prezentuje pouze možné řešení implementace klasického metalického Ethernetu.

5.4.1 ENC28J60

Velmi oblíbeným způsobem implementace síťového rozhraní je obvod firmy Microchip ENC28J60. Tento obvod je velice oblíbený díky tomu, že integruje vše potřebné pro implementaci ethernetového rozhraní o rychlosti 10 Mb/s, kromě samotné PHY integruje i jednotku MAC a s nadřazeným systémem komunikuje po jednoduché sběrnici SPI. Typické zapojení obvodu v aplikaci je na obrázku 6, převzatého z dokumentace firmy Microchip.



Obrázek 7: Typické blokové zapojení obvodu DP83822

Obvod má vlastní 8KB velkou paměť, která plní roli přijímacího a vysílacího bufferu. Dále umožňuje filtrovat pakety podle různých kritérií, implementuje opakování odesílání paketu při kolizi a počítá CRC součty. Práce s ním je velice jednoduchá, nejprve se obvod inicializuje, nastaví se jeho MAC adresa a případné filtry pro příchozí pakety. Když je poté třeba odeslat paket, stačí zapsat celý TCP/P paket na začátek odesílacího bufferu v paměti. Obvod sám sestaví záhlaví ethernetového rámce a odešle jej s dopočítaným kontrolním součtem.

O úspěšném odeslání je nadřizovaný systém informován pomocí přerušení, případně nadřizovaný systém musí kontrolovat stavové bity v příslušném registru. Přerušení je též vyvoláno při příchozím paketu, který je, pokud splňuje filtrovací podmínky, uložen do přijímací paměti a připraven pro přečtení nadřizovým systémem.

5.4.2 DP83822

Další možný způsob realizace jde o stupeň hlouběji. Obvod DP83822 od firmy Texas Instruments integruje pouze ethernetovou PHY pro 10Base-T, 100Base-TX a 100Base-FX. Pro komunikaci s obvodem MAC nabízí rozhraní MII, RMI a RGMII. [7] Obvod MAC by se pak musel realizovat na FPGA, což není nereálná záležitost. Blokové schéma zapojení je na obrázku 7, který je převzat z datasheetu obvodu.

5.4.3 W5100

Oproti obvodu DP83822 je obvod W5100 krokem na druhou stranu, krom PHY a MAC totiž integruje i TCP/IP stack. Obvod je navržen pro práci s mikrokontroléry bez operačního systému, a proto integruje hardwarový TCP/IP stack s podporou protokolů TCP, UDP, IPv4, ICMP, ARP, IGMP a PPPoE.

Obvod W5100 je schopný pracovat s Ethernetem 10Base-T a 100Base-Tx, vyrábí jej firma Wiznet a je dostupný v pouzdře LQFP. Disponuje 16KB vyrovnávací paměti a k nadřazenému procesorovému systému je možné jej připojit pomocí SPI sběrnice nebo paralelně jako paměť. [30]

6 Zhodnocení a výběr rozhraní

Základní deska pro projekt MARK-II by měla být koncipována jako stolní osobní počítač. Tomuto by měl podléhat výběr vhodných rozhraní. Rozhraní musí pokrýt potřebu interaktivní práce uživatelem, možnosti síťového připojení, zvukový výstup a možné připojení dalších zařízení různé povahy.

Potřeby zvukového výstupu lze nejjednodušeji řešit I2S DAC převodníkem. Výstupem bude běžný sluchátkový 3.5mm JACK.

Pro síťové připojení byly diskutovány tři možnosti, použití ethernetové PHY s vývojem vlastní MAC, použití ENC28J60 integrující MAC i PHY, případně použití W5100 obsahující zároveň i TCP/IP stack.

Všechny tři způsoby mají svoje výhody a nevýhody. Použití pouze PHY nabízí největší variabilitu, ovšem vývoj vlastní MAC je zbytečně komplikovaný. Použití W5100 je sice snadné a rychlé řešení, ale vestavěný TCP/IP stack podporuje jenom některé protokoly, a jeho použití je tedy svazující. Jako nejlepší volba se jeví použití obvodu ENC28J60, který je vhodným kompromisem mezi předchozími možnostmi.

Menší přenosová rychlost tohoto řešení není příliš velký problém, díky zpětné kompatibilitě rozhraní Ethernet půjde deska připojit i do gigabitové sítě, zároveň procesorové jádro MARK-II není natolik výkonné, aby plně využilo potenciálu rychlejšího síťového připojení.

Pro interaktivní práci uživatele s počítačem je potřeba vybavit základní desku rozhraním pro připojení klávesnice a monitoru. I když je rozhraní PS/2 téměř nepoužívané, je pro snadnost implementace lepší volbou než rozhraní USB. Rozhraní USB by dokázalo plnit i funkci univerzálního rozhraní, ovšem vývoj takového řešení je zbytečně komplikovaný.

Pro připojení monitoru se jeví jako nejlepší volba rozhraní VGA. Zvolené rozhraní je sice též na ústupu a HDMI je progresivnější volbou, ovšem HDMI nezapadá příliš dobře do celkové koncepce navrhované desky.

Posledním rozhraním je univerzální rozhraní. Toho by se opět skvěle zhostilo rozhraní USB, které ale, jak již bylo řečeno, pro svoji komplexnost nepřipadá v úvahu. Rozhraní RS-232 a rozhraní LPT se jeví jako daleko vhodnější. Implementace RS-232 je nenáročná a levná. Implementace LPT ovšem vyžaduje větší počet datových vodičů. Vzhledem k tomu, že počet dostupných pinů na vybraném FPGA je značně omezen, bude vhodnější implementovat jen rozhraní RS-232.

Spíše nežli rozhraní LPT by bylo vhodné implementovat rozšiřující sběrnici, na kterou by v budoucnu mohl být připojen modul s dalšími rozhraními a funkčními bloky. Běžně se k tomuto v současné době používá sběrnice PCIe. Dříve se hojně využívala sběrnice PCI a její předchůdce ISA.

Sběrnice ISA a PCI jsou sběrnice paralelní a jejich implementace vyžaduje velký počet vodičů, které ovšem vybrané FPGA nemůže nabídnout. Sběrnice PCIe je sériovou obdobou sběrnice PCI, díky tomu by její implementace možná byla, ovšem bylo by nutné zvolit FPGA s rychlými sériovými transreceivery kterými opět vybrané FPGA nedisponuje.

Nejvhodnějším řešením možností rozšíření tedy bude vyvedení zhruba 10 až 12 datových signálů na běžné pinové lišty spolu s napájením a signálem reset, kde v budoucnu může být implementován vlastní přenosový protokol mapující připojený modul do paměťového prostoru systému.

Součástí dostupných rozhraní by měl být i druhý sériový port s integrovaným převodníkem na USB pro snadné připojení laptopu, hlavně během vývoje, pro výstup ladících informací, případně implementaci debugovací jednotky.

7 Další periferie

Kromě rozhraní pro připojení externích zařízení, musí být deska vybavena dalšími obvody, které dohromady tvoří kompletní osobní počítač. Jedná se hlavně o operační paměť a nevolatilní paměťové úložiště. V této kapitole jsou diskutovány dostupné možnosti.

7.1 Operační paměť

Operační paměť je místo, kde jsou během vykonávání programu uloženy jeho instrukce i jeho zpracovávaná data. Na tuto paměť jsou kladeny velké nároky co do datové propustnosti. Pomalá operační paměť totiž bude úzkým hrdlem celého systému. Použití vyrovnávacích pamětí sice dokáže dopad pomalé paměti na celkový výkon zmírnit, nikoliv však zcela vyvážit.

7.1.1 SRAM

Paměti SRAM jsou nejjednodušší formou řešení operační paměti. Nevyžadují obnovování dat v nich uložených, mají nízkou spotřebu a jsou schopné pracovat na vysokých frekvencích. Pro implementaci se používá bistabilní klopný obvod, který je však prostorově náročný, a tudíž jsou tyto paměti drahé. Používají se proto hlavně jako vyrovnávací paměti.

Díky velké ploše, kterou bistabilní klopný obvod zabírá, jsou k dispozici pouze malé kapacity pamětí. Například firmy ISSI vyrábí asynchronní paměti SRAM s kapacitou do 32Mb. [1]

Jelikož jsou tyto paměti asynchronní, je jejich rozhraní velice jednoduché, obsahuje pouze 8 datových vodičů, adresové vodiče podle kapacity a negované řídicí signály CS, WE a OE. Jedná se o jednoduché rozhraní, které je ovšem asynchronní a při větší kapacitě paměti co do počtu signálů náročné.

Například obvod IS64WV204816 je asynchronní SRAM paměť s organizací 2Mx16. To znamená, že kapacita paměti je 32Mb. Pro připojení této paměti je zapotřebí 21 adresových vodičů, 16 datových vodičů, řídicí signály CE, WE, OE a případně další dva signály pro maskování datové sběrnice. Dohromady tedy 42 vodičů.

Na druhou stranu, zmiňovaná paměť má přístupovou dobu 10ns, je tedy možné s ní pracovat na frekvenci 100MHz a data z ní jsou dostupná okamžitě, bez latence způsobované režii přenosu, jak je tomu například u paměti SDRAM.

7.1.2 SDRAM

Paměti SDRAM jsou v současné době mnohem rozšířenější. Je to dáno hlavně jejich cenou a kapacitou. Na druhou stranu při jejich provozu je potřeba řadič, který se bude starat o obnovování dat a bude generovat řídicí signály. Hrubě se dají tyto paměti dělit na dvě skupiny, a sice SDR SDRAM a DDR SDRAM.

SDR SDRAM paměti synchronní paměti, které za jeden hodinový takt přenesou jedno datové slovo mezi pamětí samotnou a řadičem implementovaným například v FPGA. DDR SDRAM paměti na druhou stranu přenáší více datových slov za jeden hodinový takt. DDR SDRAM přenáší data na obě hodinové hrany, během jednoho taktu tedy přenesou dvojnásobek dat oproti SDR SDRAM a odtud jejich název DDR - Double Data Rate.

Pro připojení DDR pamětí musí zvolené FPGA disponovat budiči DDR IO. Zvolené FPGA 10M25SA ovšem integrované rozhraní pro tyto paměti nemá [20], a proto lze použít pouze paměti SDR SDRAM.

Jak již bylo zmíněno, kapacity SDRAM pamětí jsou obecně větší, například paměti SDRAM výrobce ISSI pokrývají kapacity od 16Mb do 512Mb. Nároky na počet signálu mezi pamětí a řadičem jsou též menší, například paměť IS42S16320D s organizací 32Mx16 potřebuje pro připojení 13 adresových signálů, 16 datových signálů, a 10 řídicích signálů. Což je 39 signálů celkem. Což je mnohem méně, než by měla teoretická, stejně velká, paměť SRAM. Je to dáno tím, že adresa se přenáší po částech, nejdříve se volí tzv. řádek a následně sloupec. Počet řídicích signálů lze ještě snížit, například vypuštěním maskovacích signálů pro datovou sběrnici nebo vypuštěním signálu CKE. Takto ale může být do jisté míry omezena funkčnost paměti.

7.2 RTC

RTC nebo též hodiny reálného času je malý, většinou bateriově zálohovaný obvod, který integruje hodinový obvod a kalendář.

Taktuje se obvykle krystalem s frekvencí 32.768 kHz a pro komunikaci se používá sériová sběrnice. Obvykle obvod umí generovat přerušení na zvoleném datu, případně může mít hodinový výstup s frekvencí 1 Hz.

Integrace obvodu do výsledné desky RTC je důležitá z toho důvodu, aby byl systém schopen rozeznávat skutečný čas a dokázal s ním pracovat.

7.3 Nevolatilní paměťová úložiště

Pro uložení programů, uživatelských dat i případného BIOSu počítače je potřeba na navrhovanou desku integrovat i nevolatilní paměť. V této kapitole se diskutují některé možnosti provedení takového úložiště.

7.3.1 Sériové paměti

Do skupiny sériových pamětí spadají malé, rozměry i kapacitou, paměťové čipy. Jsou pouzdřeny nejčastěji do osmipinových pouzder a disponují sériovým rozhraním, nejčastěji I2C nebo SPI.

Technologie výroby se různí, a tím se různí i kapacita paměti. Jedny z nejmenších jsou paměti EEPROM, tradiční řady jako 24C00 disponují většinou rozhraním I2C a malou kapacitou od několika málo kilobitů až po jeden či dva megabity.

Zajímavou alternativou k těmto EEPROM pamětem jsou paměti F-RAM. Paměti F-RAM používají pro uchování informace polarizaci feroelektrického krystalu, díky tomu mají téměř neomezenou životnost a zápis informace je řádově rychlejší než u pamětí typu EEPROM. [9]

Nevýhodou F-RAM pamětí je vysoká cena, a proto se nehodí na uložení velkého množství dat. Na druhou stranu, jejich téměř neomezená životnost činí tento typ pamětí ideální volbou pro uchování různých konfiguračních voleb a nastavení, bez nutnosti zálohovat paměť baterií.

Kromě pamětí F-RAM a EEPROM lze najít i paměti založené na technologii NOR Flash. Tyto paměti bývají většinou vybaveny rozhraním SPI a nabízejí kapacity od stovek kilobitů po stovky megabitů. K dispozici jsou i paměti s rozhraním SQI nebo též Dual či Quad SPI, kde se pro přenos dat využívá více datových vodičů, případně se multiplexují se řídicími signály SPI rozhraní.

Takový druh paměti je vhodný pro uložení větších bloků dat, například BIOSu, zaváděče, fontů pro znakové generátory a podobně. Rozhraní s více datovými vodiči již bývají dostatečně výkonné i pro přímé vykonávání kódu v nich uložených. Příkladem takové paměti může být SST26WF064C od firmy Microchip.

7.3.2 Paralelní paměti

Pro uložení uživatelských dat, programů i celého operačního systému se ale malé sériové paměti nehodí, protože bývají pomalejší a též jsou limitovány kapacitou, která je pro běžná data nedostačující.

Lepší alternativou jsou paměti typu NAND Flash, které bývají povětšinou vybavené paralelním rozhraním. Jejich kapacity se většinou pohybují od jednotek po desítky gigabitů.

Příkladem může být obvod S34ML04G200T, což je obvod firmy Spansion v pouzdře TSOP-48 a kapacitou 4Gb. Ke komunikaci se používá rozhraní Open NAND Flash Interface sestávající zde z 8 datových vodičů a 7 řídicích signálů. Napájecí napětí je obvyklých 3,3V.

7.3.3 Paměťové karty

Podobné využití jako paralelní NAND Flash paměť má i paměťová karta. Paměťové karty, hlavně pak formátu MicroSDHC, jsou běžnou součástí spotřební elektroniky a na trhu jsou k dispozici nejrůznější modely nejrůznějších výrobců. Kapacity se běžně pohybují od jednotek GB až po desítky či stovky.

Kromě MicroSDHC je k dispozici spousta dalších formátů karet, například větší formát SDHC, či CompactFlash. Nevýhodou formátu CompactFlash je ovšem vysoký počet pinů rozhraní, a formátu SDHC pak fyzické rozměry.

V případě paměťové karty MicroSDHC a SDHC se v podstatě nejedná o nic jiného než jeden či několik NAND flash čipů dovybavené řadičem. Celek je následně pouzdřen do jednoho pouzdra. Díky integrovanému řadiči je práce s pamětí jednodušší, není potřeba například spravovat přepisy paměťových bloků kvůli opotřebením mazáním dat.

Pro komunikaci s nadřazeným systémem je karta schopna použít dvojici komunikačních protokolů. Prvním z nich je protokol SD, který využívá až 4 datové vodiče, 1 řídicí a 1 hodinový. Druhým protokolem je SPI, kde jsou využity celkem 4 vodiče. Během inicializace

nadřazený systém zvolí komunikační protokol a ten se poté během další komunikace již nemění. [24]

Velikou výhodou řešení postaveném na paměťové kartě je oproti paralelní NAND Flash paměti snadná vyměnitelnost, dostupnost i možnost kartu odpojit a editovat její obsah na jiném počítači. Paralelní NAND Flash paměť je na druhou stranu spolehlivější řešení. Přiletovaný obvod na desce nemůže uživatel ztratit či poškodit nevhodnou manipulací.

7.3.4 Pevné disky s rozhraním ATA

Dalším možným řešením úložiště uživatelských dat je pevný disk. U osobních počítačů se jedná o nejčastěji používanou možnost. Základní dělení pevných disků je na dva druhy, HDD a SSD. HDD je klasický plotnový disk využívající magnetického záznamu dat. SSD disk oproti tomu integruje NAND Flash paměti společně s řadičem. Tyto paměti jsou obvykle daleko rychlejší než ty, které se integrují do paměťových karet.

Pevné disky jsou dostupné v různých fyzických formátech, od velkých 3.5", po menší notebookové 2.5", až po speciální moduly typu NGFF.

Na implementaci rozhraní jsou nejjednodušší disky s paralelním rozhraním ATA, někdy též IDE či PATA. Toto rozhraní má 32 vodičů, z toho 16 je datových, zbylé jsou řídicí. Rozhraní SATA je modernější verzí standardu ATA, přenos zde na rozdíl od PATA probíhá sériově. Díky tomu postačí pro implementaci 4 datové vodiče. Přenosová rychlost pro SATA 1.0 je 1.5Gb/s, pro SATA 2.0 3Gb/s a pro SATA 3.0 pak 6Gb/s. [25]

8 Shrnutí a definování požadavků na základní desku

Po nastínění možných řešení desky tato kapitola shrnuje a uceleně definuje požadavky na navrhovanou základovou desku.

Základním stavebním kamenem je FPGA, v kapitole 3 byl zvolen jako vhodný kandidát obvod 10M25SAE144C8G. K tomuto obvodu musí být přítomno konfigurační rozhraní JTAG pro připojení USB blasteru, viz kapitola 4.

Pro interaktivní práci uživatele musí být k dispozici rozhraní pro připojení klávesnice a monitoru. Zvolená rozhraní jsou VGA a PS/2.

Dále je potřeba mít možnost připojení k počítačové síti. Jako vhodný způsob bylo zvoleno řešení na bázi ENC28J60. Jako univerzální rozhraní byl zvolen RS-232. Dále musí být vyveden konektor pro možné budoucí rozšíření systému. Tyto skutečnosti odůvodňuje kapitola 6.

Kromě uvedených rozhraní bude implementován ještě druhý sériový port jako virtuální s použitím obvodu FT230 a audio výstup.

Pro uložení uživatelských dat bude užito paměťové karty MicroSDHC, BIOS základní desky bude uložen v malé paměti NOR Flash, dále bude k dispozici FRAM paměť pro uložení konfiguračních voleb a bateriově zálohovaný obvod RTC. Blíže se těmto periferiím věnuje kapitola 7.

Součástí desky musí být jednoduchá správa napájení umožňující komunikaci s nadřazeným systémem. Její funkce bude v kontrole napětí baterie, ve správě zapínání celého systému pomocí tlačítka a ovládání bzučáku s LED diodou. Správa napájení bude realizována na čipu ATmega48PB, neboť se jedná o řešení s nejlepším poměrem cena/výkon.

Kromě rozhraní JTAG pro FPGA musí být k dispozici rozhraní pro konfiguraci čipu řízení napájení. A dále pak konektor umožňující veškeré ovládací prvky pro zapnutí a restart systému včetně indikačních LED vyvést na přední panel případné krabičky.

Deska by měla být realizována jako čtyřvrstvá, s ohledem na cenu. Neměla by být využita pouzdra typu BGA pro snadnější ruční pájení.

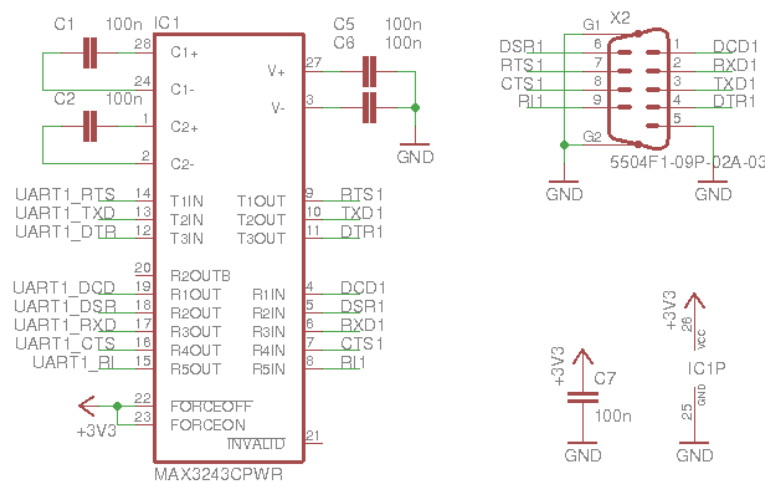
9 Implementace

V této kapitole je popsána implementace dílčích částí navrhované desky. Celé schéma je k dispozici v příloze A (stránka 70). Případně je možné získat aktuální verzi, včetně výkresu desky plošných spojů, v hlavním repositáři projektu na stránkách https://github.com/VladisM/MARK_II nebo jako elektronickou přílohu bakalářské práce.

9.1 Sériový port RS-232

Pro implementaci sériového portu byl využit obvod MAX3243. Tento integrovaný obvod je možné napájet napětím v rozmezí 3V až 5.5V. Obvod v sobě integruje nábojovou pumpu, díky které není potřeba dalšího napájecího napětí pro výstupní budiče linky RS-232.

Detail implementace je na obrázku 8. Kondenzátory C1, C2, C5 a C6 jsou volené a zapojené podle dokumentace.



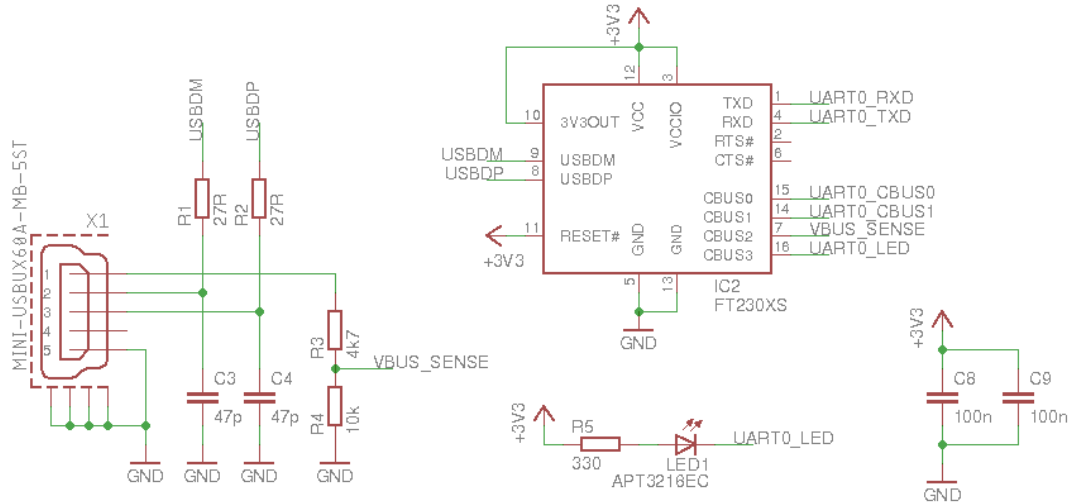
Obrázek 8: Implementace sériového portu RS-232

9.2 Virtuální sériový port

Druhý sériový port bude sloužit hlavně pro ladění a debugování systému. Implementován je tedy pomocí USB převodníku FT230, pro pohodlné připojení k laptopu.

Detail zapojení je na obrázku 9. Zapojení celého obvodu vychází z dokumentace, použité schéma napájení je z vlastního zdroje nezávislého na USB. K tomuto účelu je nutné mít zaveden signál VBUS_SENSE.

Z obvodu FT230 je do FPGA veden signál RXD, TXD pro asynchronní přenos dat a dále pak dva signály CBUS, které je možné programově ovládat skrze sběrnici USB z počítače. Tyto signály lze později použít pro implementaci debuggeru.



Obrázek 9: Implementace virtuální sériového portu

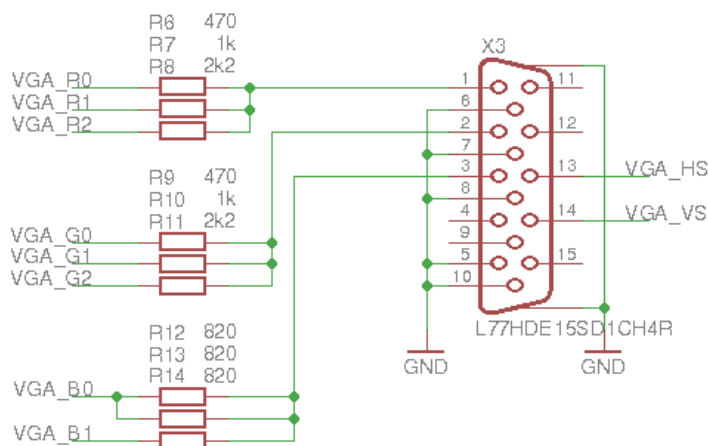
9.3 Obrazový výstup VGA

Pro implementaci rozhraní VGA byl využit odporový převodník jako nejlevnější možnost. Napěťové úrovně synchronizačních signálů jsou TTL a pro barevné složky to je pak 0V až 0.7V, kde 0V představuje nulový jas složky a 0.7V jas maximální. Vstupní odpor signálů barevných složek je 75Ω. Tento odpor tvoří spolu s rezistorem převodníku napěťový dělič.

Implementace je na obrázku 10. Pro červenou a zelenou složku jsou použity 3 bity, pro modrou složku pak bity 2. Celkem je tedy k dispozici $2^{3+3+2} = 2^8 = 256$ barev.

Princip výpočtu rezistorů pro převodník je založen na myšlence, že tři rezistory převodníku spolu se vstupním odporem monitoru tvoří napěťový dělič. V případě, že je na příslušném pinu logická 1, je sepnut k napětí +3,3V, pakliže logická nula, je výstup přitážen k zemi. Formují se zde tedy dva odpory R_a a R_b , Odpor R_a tvoří paralelní kombinace rezistorů převodníku sepnutých k +3,3V a odpor R_b tvoří paralelní kombinace rezistorů převodníku sepnutých k zemi spolu se vstupním odporem monitoru. Výstupní napětí na celém převodníku je pak:

$$V_{out} = 3,3 * \frac{R_a}{R_a + R_b}$$



Obrázek 10: Implementace rozhraní VGA

Tříbitové rozlišení převodníku rozdělí napětí 0V až 0,7V na 8 bodů s odstupem 0,1V. S použitím tabulkového procesoru LibreOffice Calc byly pro výchozí hodnoty rezistorů převodníku vypočteny odchylky od požadovaného výstupního napětí pro všechny přípustné kombinace. Numerickým řešením pomocí integrovaného nástroje, řešitele, byly pak vyhledány vhodné hodnoty rezistorů s nejmenší odchylkou od požadované hodnoty.

Obdobný způsob byl použit i pro výpočet dvoubitového převodníku pro modrou barevnou složku, s tím rozdílem, že interval 0V až 0,7V byl rozdělen pouze na 4 díly.

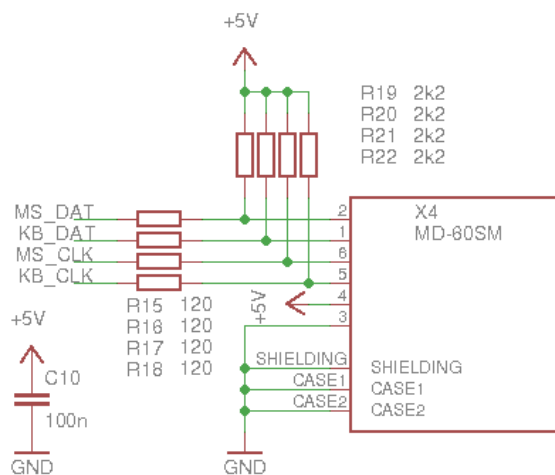
9.4 PS/2

Rozhraní PS/2 je určené pro připojení klávesnice, protože ale zůstalo k dispozici několik volných signálů FPGA, bylo rozhodnuto o zapojení i druhého páru vodičů do konektoru mini DIN 6. Tyto signály navíc lze později využít, s patřičnou redukcí, pro zapojení klávesnice i počítačové myši současně. Detail zapojení konektoru PS/2 je na obrázku 11.

Rozhraní PS/2 je rozhraní typu otevřený kolektor [2], proto jsou zapojeny rezistory R19 až R22 jako pull-up rezistory. Rezistory R15 až R18 slouží jako ochranné rezistory pro piny FPGA.

9.5 Ethernet

Zapojení řadiče Ethernetu je na obrázku 12 a jedná se v podstatě o katalogové zapojení. S FPGA je řadič propojen pomocí sběrnice SPI, signál RES je výstupem z FPGA a slouží



Obrázek 11: Implementace rozhraní PS/2

pro resetování řadiče. Zpátky do FPGA je veden signál přerušení pro signalizaci žádosti o ošetření události na síti.

Signál CLKOUT využit nebyl, řadič ENC28J60 zde dokáže generovat hodinový průběh, odvozený od jeho vlastní frekvence, tedy 25MHz. Ačkoliv by bylo možné tento signál využít pro taktování FPGA, nebylo tak učiněno, neboť po každém resetu je výchozí frekvence na tomto pinu 6,25MHz [8], což by způsobovalo problémy s nastavením PLL pro externí SDRAM.

Pro implementaci fyzické vrstvy Ethernetu bylo užito konektoru RJ45 s integrovanými transformátory, což dále zjednodušuje návrh desky plošných spojů.

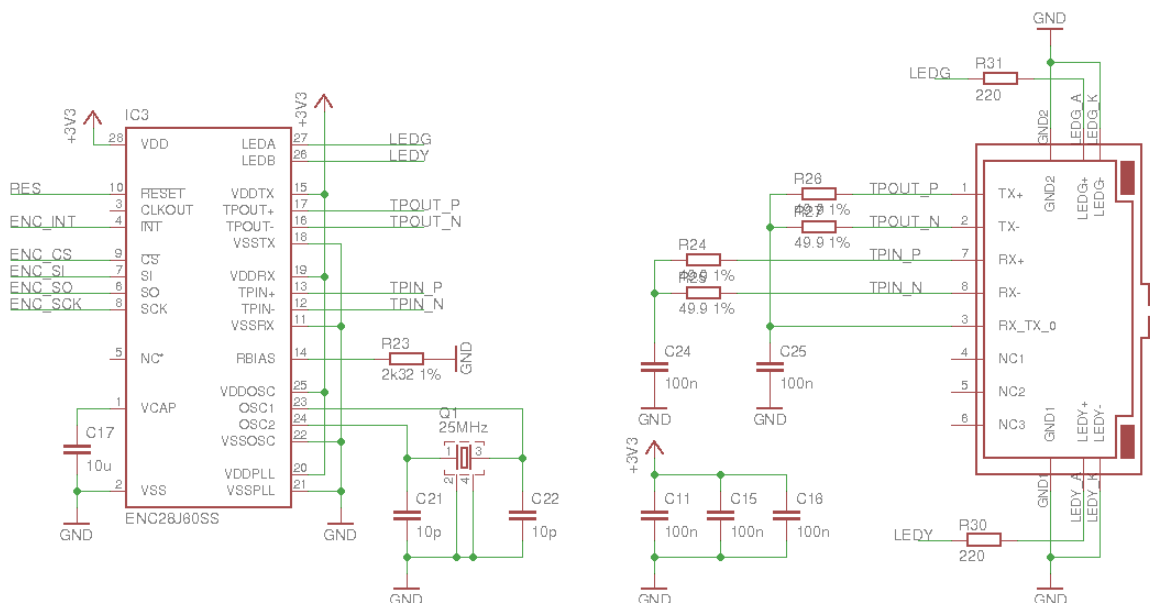
9.6 Audio výstup

Audio výstup byl implementován pomocí DAC typu PCM5100. Schéma implementace je na obrázku 13. Pro připojení k FPGA se používá sběrnice I2S, sestávající se ze signálů I2S_BCK, I2S_DIN a I2S_LRCK.

Obvod je napájený napětím +3,3V. Pro napájení analogové části převodníku se používá vestavěných měničů napájených též napětím +3,3V. Napájení analogové části je odděleno pomocí feritového jádérka FB1.

Kromě signálů sběrnice I2S je zapojen i signál MUTE, který je ovládán obvodem správy napájení, tímto signálem je možné ztlumit výstup převodníku.

Zbylé řídicí signály, tedy FORMAT, DEMP a FILTER, slouží k nastavení některých provozních vlastností převodníku, a jsou proto vyvedeny na pájecí jumpéry SJ1 až SJ3.



Obrázek 12: Detail zapojení řadiče ENC28J60

Pro připojení sluchátek či reproduktorové soustavy je osazen konektor X6, což je standardní sluchátkový jack.

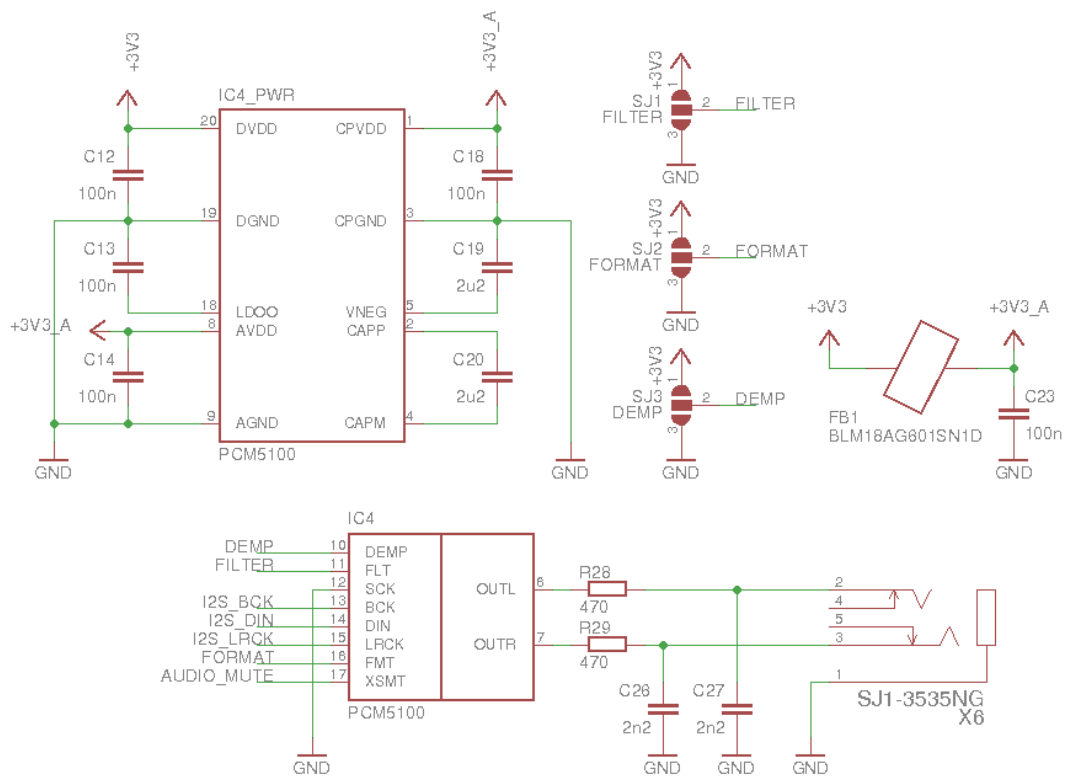
Hodnoty součástek, včetně dolní propusti na výstupu převodníku, jsou převzaté z doporučeného zapojení v dokumentaci.

9.7 FRAM a RTC

Pro implementaci paměti FRAM a RTC byly zvoleny obvody vybavené sběrnici I2C. Díky tomu může být tato sběrnice oběma obvody sdílána a ušetří se tak dostupné vývody FPGA pro jiné účely. Detail implementace je na obrázku 14.

Byla zvolena levná FRAM paměť typu FM24CL16B s kapacitou 16Kbit v pouzdru SOIC-8. Paměť disponuje ochranou proti zápisu, pin k tomu určený je vyveden na pájecí jumper SJ4, aby se tato ochrana dala v budoucnu použít.

Zvolený RTC obvod je MCP7940N firmy Microchip. Dostupný je též v pouzdře SOIC-8 a kromě hodin a kalendáře nabízí bateriově zálohovanou paměť SRAM o velikosti 64B. [21] Signál RTC_MFP může být použit jako alarm nebo sloužit pro generování hodinového signálu odvozeného od frekvence RTC krystalu.



Obrázek 13: Schéma zapojení audio DAC

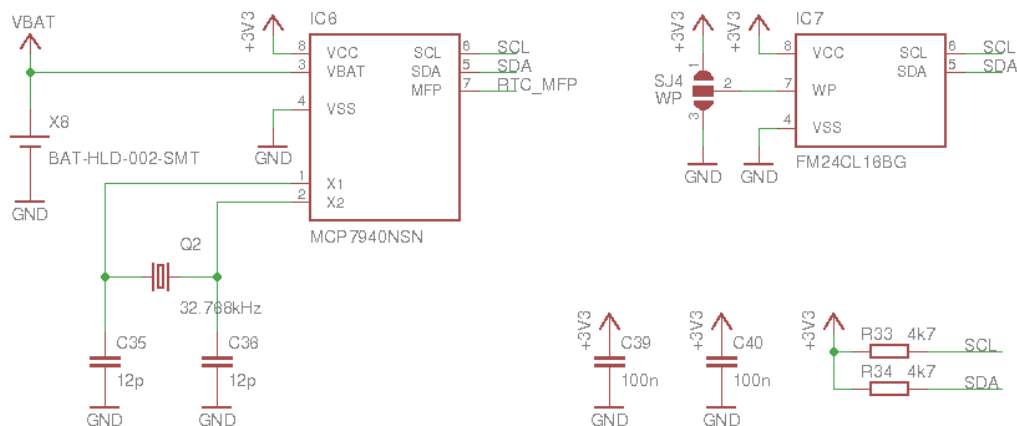
9.8 NOR Flash

Pro uložení BIOSu desky byla vybrána paměť AT25DN256 firmy Adesto Technologies. Paměť je vybavena rozhraním SPI s možností čtení dat po dvou signálech současně, díky tomu je možné číst obsah paměti dvojnásobnou rychlostí. K tomu je využito signálů SO a SI, kdy je signál SI, po obdržení příkazu pro čtení, přepnut do výstupního režimu. Detail implementace je na obrázku 15.

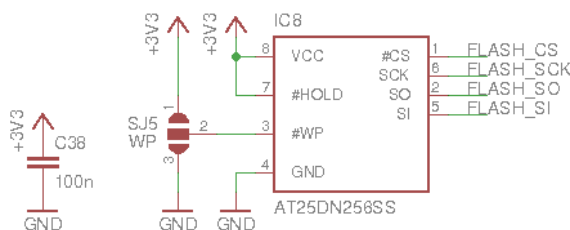
Kapacita paměti je 256Kbit, což zaručuje více než dostatek prostoru pro uložení BIOSu a případně i zavaděče operačního systému. Paměť je dodávána v pouzdře SOIC-8 a je též vybavena hardwarovou ochranou proti přepisování. Pin pro ovládání této ochrany je vyveden na pájecí jumper SJ5.

9.9 MicroSDHC

Velkokapacitní paměť je implementována formou slotu pro paměťovou kartu. Ze slotu jsou vyvedeny veškeré signály, díky čemuž je možné realizovat řadič paměťové karty komunikující jak po sběrnici SPI, tak po sběrnici SDIO. Schéma zapojení je zachyceno na obrázku 16.



Obrázek 14: Implementace paměti FRAM a obvodu RTC



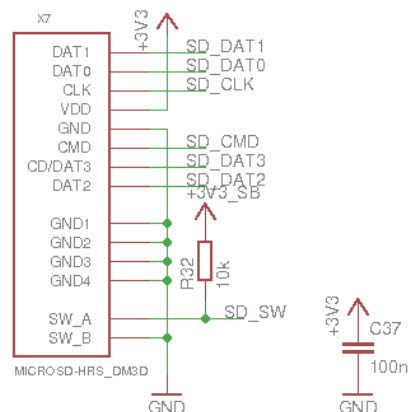
Obrázek 15: Implementace paměti NOR Flash

Dále je využita detekce vložení karty do slotu, signál je ovšem zaveden do obvodu správy napájení, viz část 9.13. Z principu použití paměťové karty jako jediného velkokapacitního paměťového úložiště není častá manipulace s paměťovou kartou očekávána. Byl proto zvolen levnější konektor typu PUSH/PULL bez vysunovacího mechanismu.

9.10 SDRAM

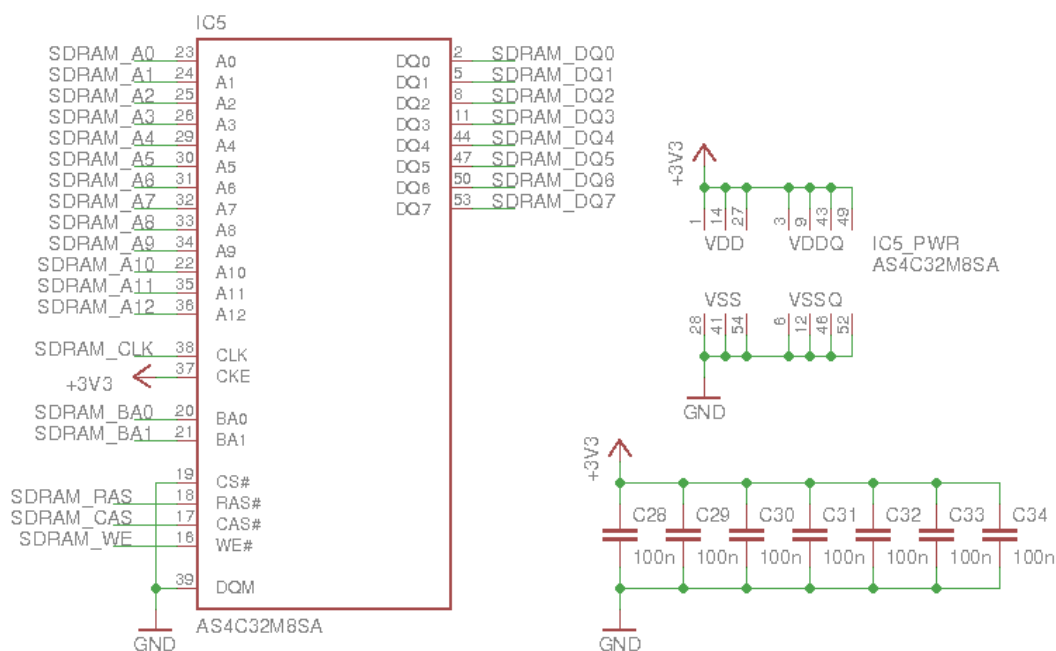
Jako paměť SDRAM byl zvolen obvod AS4C32M8SA, jedná se o paměť s kapacitou 256Mbit a organizací 4 x 8M x 8bit. Bylo zvoleno pouzdro TSOP-II pro snadnější pájení.

Sběrnice paměti je osmibitová, je to kompromis s ohledem na počet pinů, kterými disponuje zvolené FPGA. Ovšem současné architektuře řadiče SDRAM paměti v projektu MARK-II, nebude toto představovat úzké hrdlo, kterým bude spíše přechod mezi hodinovými doménami řadiče a procesoru.



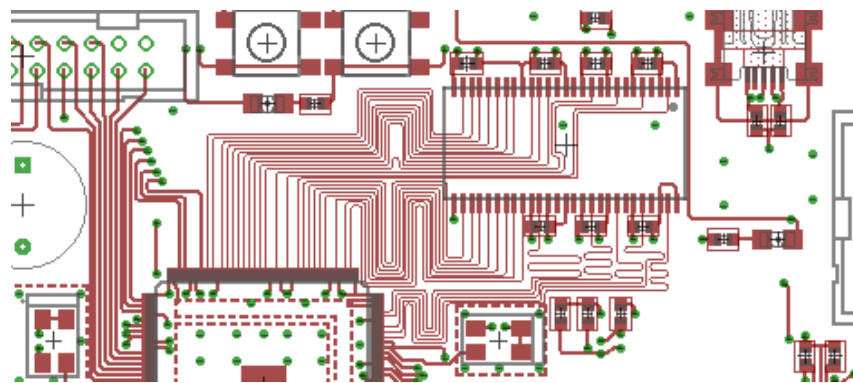
Obrázek 16: Implementace velkokapacitního úložiště MicroSDHC

Dále byly vývody FPGA uspořeny trvalým propojením řídicího signálu CS a DQM na zem, dále pak signálu CKE na +3,3V. Díky tomu nebude možné používat režimy s nízkou spotřebou a automatické obnovování.



Obrázek 17: Implementace paměti SDRAM

Důležité je dodržet zásady pro návrh vysokorychlostních spojů při návrhu DPS. SDRAM bude taktována frekvencí 100MHz a stejnou frekvencí budou po sběrnici přenášena i data. Je proto vhodné spoje mezi FPGA a pamětí SDRAM udělat co nejkratší a pokud možno stejně dlouhé. Detail spojů mezi FPGA a SDRAM je na obrázku 18.



Obrázek 18: Detail návrhu plošného spoje v okolí SDRAM

9.11 Oscilátory

Celý návrh disponuje celkem třemi oscilátory a dvěma krystaly. Krystaly jsou užity pro generování taktu u řadiče Ethernetu a hodin reálného času. Tři oscilátory poskytují taktovací frekvence pro práci systému v FPGA. Jde o oscilátory Q4 s frekvencí 25MHz, Q5 s frekvencí 18,432MHz a Q6 s frekvencí 22,5792.

První oscilátor Q4 je použit pro taktování většiny systému, frekvence 25MHz se používá pro taktování sběrnic, procesorového jádra, řadičů přerušení i čítačů. Pomocí PLL se odvozuje frekvence 100MHz pro práci řadiče SDRAM a pro SDRAM samotnou.

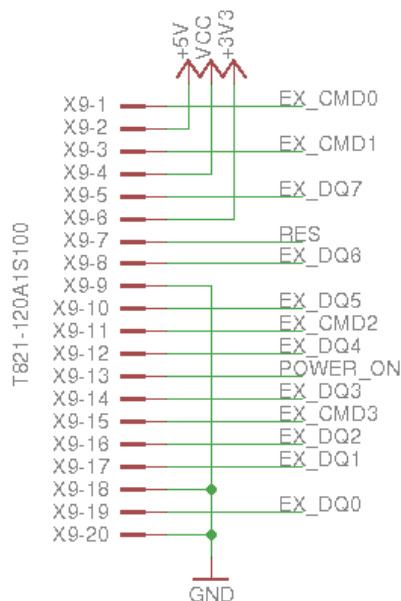
Oscilátory Q5 a Q6 se používají pro taktování specifických sběrnic. Q5 s frekvencí 18,432MHz je ideální pro taktování sériového portu, protože celočíselným dělením lze dostat všechny běžně používané přenosové frekvence. Oscilátor Q6 s frekvencí 22,5792MHz lze použít po vydělení hodnotou 512 pro taktování I2S sběrnice s běžnou vzorkovací frekvencí 44100Hz.

9.12 Rozšiřující konektor

Pro rozšíření byl na okraj desky umístěn konektor pro ploché kabely, s roztečí 2.54mm, zámek a 20 pozicemi. Na tento konektor bylo vyvedeno několik řídicích signálů systému, osmibitová datová sběrnice spolu se čtyřbitovou řídicí sběrníci a napájením.

Použité datové i řídicí sběrnice jsou vedeny přímo do FPGA, zvolené porty mohou být konfigurovány jako výstupní i vstupní. Zapojení konektoru shrnuje obrázek 19.

V plánu je využít 8 signálů DQ jako datových signálů, pro poloduplexní přenos, jeden řídicí signál vyhradit pro signalizaci přerušení od podřízeného systému a zbylé tři řídicí signály použít pro implementaci řídicího protokolu. Případně je možné ještě jeden sig-



Obrázek 19: Zapojení rozšiřujícího konektoru

nál obětovat pro přenos hodin a implementovat synchronní přenos. Tyto detaily budou rozhodnuty až v čase implementace řadiče, který ale není součástí této práce.

9.13 Správa napájení

Obvod pro správu napájení byl realizován mikrokontrolérem ATmega48PB. Jedná se o levný mikrokontrolér v pouzdře TQFP-32, k dispozici má 4kB paměti Flash, 0,5kB paměti SRAM, integruje oscilátor, ADC převodník, UART a další.

Obvod správy napájení zajišťuje, krom spínání napájecího napětí, pro nadřazený systém další doplňkové funkce:

- generování resetovacího signálu po zapnutí napájení
- ztlumování audio DAC
- ovládání bzučáku a kontrolní LED diody
- sledování stavu záložní baterie

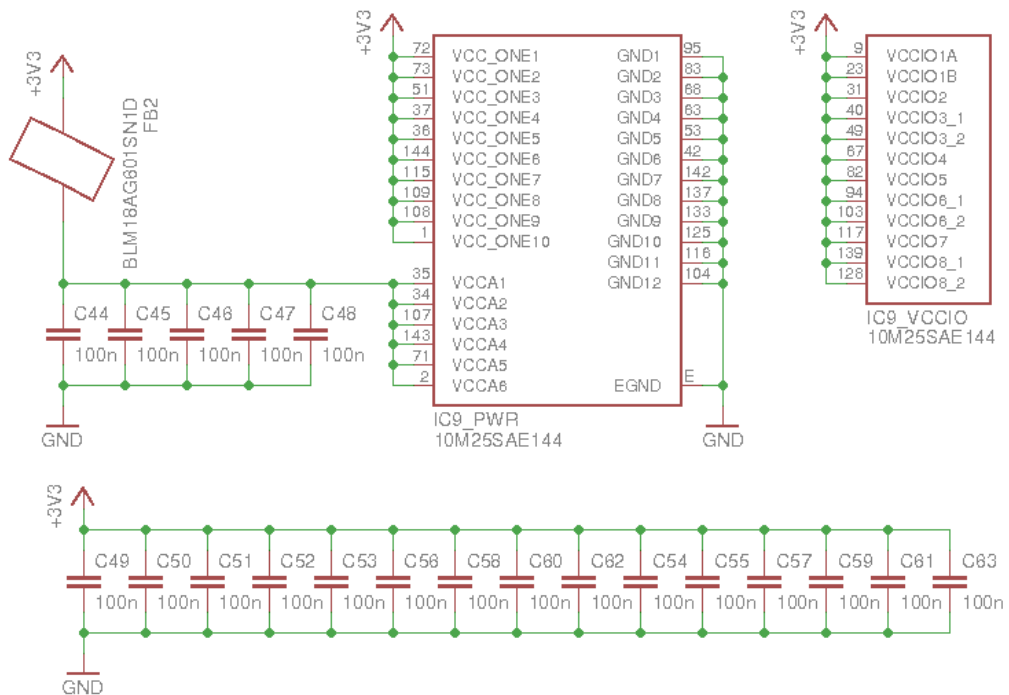
K tomuto opatření bylo přistoupeno na základě nedostatku dostupných pinů samotného FPGA. Obvod s FPGA komunikuje pomocí asynchronního sériového portu, implementace takového rozhraní do FPGA totiž není náročná a řadič je již v projektu MARK-II k dispozici.

9.14 FPGA

Zvolené FPGA je do náročnosti zapojení jedno z nejjednodušších, které jsou na trhu dostupné. Detail zapojení je na obrázku 20. Pro napájení jednotlivých bank IO portů jsou k dispozici vstupy VCCIO, v bloku IC9_VCCIO. Zde je situace jednoduchá, neboť veškeré přímo připojené periferie používají napěťové úrovně 3,3V.

Pro napájení FPGA slouží piny s označením VCC_ONE, FPGA integruje lineární regulátor, který vstupní napětí 3,3V sníží na 1,2V které je pak přímo použito na napájení jádra. [16]

Pro napájení integrovaného AD převodníku a obvodu PLL slouží piny s označením VCCA, na tyto piny je též potřeba přivést napětí 3,3V, ale hlavně kvůli PLL je nutné napětí přivést skrze feritové jádřko pro potlačení parazitních frekvencí.

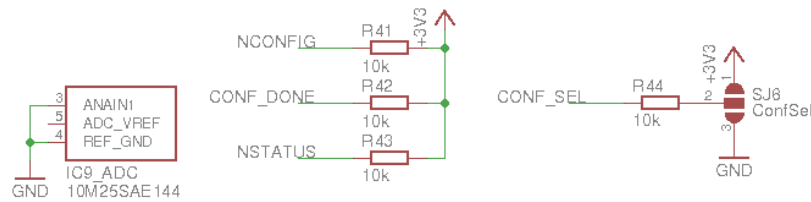


Obrázek 20: Schéma zapojení napájení FPGA

Zapojení jednotlivých signálů z různých bloků nevyžaduje bližší komentář, neboť veškeré signály jsou typu single-ended, a jsou proto přímo zavedeny do FPGA.

Vybrané FPGA disponuje integrovaným převodníkem AD, původně bylo zamýšleno jeho užití pro měření baterie, ale při jeho použití není možné použít podstatnou část vývodů FPGA, například banky 1A, 1B, 2 a 8 není možné využít vůbec. [17] Kvůli tomuto

bylo od použití integrovaného ADC upuštěno. A dedikované piny AD převodníku byly zapojeny podle obrázku 21.



Obrázek 21: Schéma zapojení speciálních pinů FPGA

Dále jsou k dispozici speciální piny FPGA, které je potřeba též zapojit. Jedná se o piny, které je možné použít v návrhu, ale pouze s jistými omezeními, například pouze jako vstupní, a během konfigurace FPGA mají jinou funkci. Jedná se o piny CONFIG_SEL, CONF_DONE, nCONFIG a nSTATUS.

Pin CONF_DONE signalizuje, zdali se konfigurace FPGA zdařila, nebo ne, pin nCONFIG vynucuje opakovanou inicializaci a konfiguraci FPGA a pin nSTATUS signalizuje případné chyby při inicializaci. Tyto piny byly zapojeny podle dokumentace a jinak nejsou využívány.

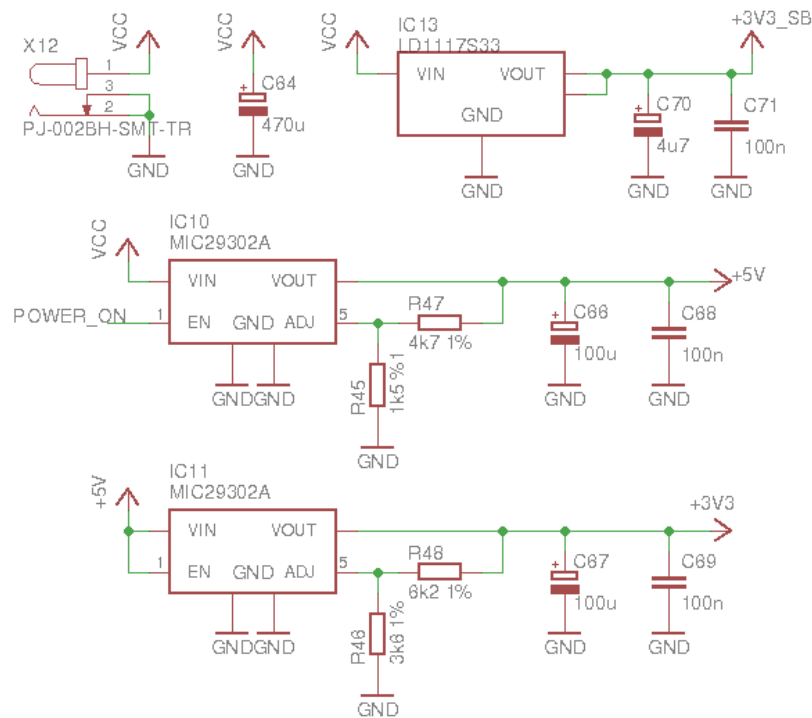
Speciální pin CONFIG_SEL umožňuje volit během inicializace mezi dvěma konfiguračními obrazy. Tato možnost bohužel není přístupná, pokud se použije inicializace paměťových bloků [19], ale signál byl přesto vyveden na pájecí jumper.

9.15 Napájecí obvod

Jak již bylo několikrát zmíněno, díky použitému FPGA nejsou na napájení kladeny natolik vysoké nároky, jak by tomu bylo například u řady Cyclone nebo MAX10 ve verzi Dual Supply. Potřebná napájecí napětí jsou tedy pouze +5V převážně pro PS/2 a dále +3,3V pro zbytek systému včetně FPGA. Dále pak další větev s napětím +3,3V pro napájení systému správy napájení. Tato větev bude trvale sepnutá.

Ačkoliv firma Intel vyrábí ke svým FPGA spínané měniče, které jsou pro napájení FPGA velice vhodné, integrují cívku a téměř všechny komponenty do jednoho malého pouzdra [15], bylo nakonec použito lineárních stabilizátorů MIC29302. Výhody měničů firmy Intel totiž vyplynou hlavně při použití FPGA s většími nároky na napájecí obvody,

kdy je například pro obvod rodiny Cyclone potřeba napájecí napětí +1,2V, +2,5V a +3,3V.



Obrázek 22: Schéma zapojení napájecího obvodu

Na obrázku 22 je schéma implementace napájecího obvodu. Konektor X12 slouží pro připojení napájecího adaptéru s napětím +12V. Toto napětí je vedeno do stabilizátoru IC13, který distribuuje napětí +3,3V pro správu napájení. Napětí +12V je dále vedeno do stabilizátoru IC10, který stabilizuje větev +5V. Na tuto větev je dále přímo napojen stabilizátor IC11, který distribuuje napětí +3,3V pro zbytek systému.

Stabilizátory jsou tedy zapojeny do kaskády, což rozkládá teplotní zatížení stabilizátoru IC11 oproti situaci, kdyby byly zapojeny paralelně. Proudová zatížitelnost stabilizátorů MIC29302 jsou 3A. Tento proud dostačuje pro napájení celého systému a je i dostatečně předimenzován.

Napájecí větve +5V, +3,3V a vstupní napájení je též vyvedeno na rozšiřující konektor X9. Případná rozšiřující deska může tyto použít k vlastnímu napájení, případně může implementovat vlastní.

10 Firmware pro správu napájení

Pro obvod správy napájení byl napsán jednoduchý firmware v jazyce C. S FPGA je obvod připojen, jak již bylo zmíněno, pomocí asynchronního sériového portu. Formát komunikace byl zvolen tradiční 8N1 s přenosovou rychlostí 4800baud.

Funkce firmware je jednoduchá, program v nekonečné smyčce hlídá stav tlačítek a případně reaguje na jejich stisk. Dále je využito přerušování od sériového portu, které signalizuje příjem řídicího příkazu. Přijatý příkaz je poté vyhodnocen a proveden. Seznam dostupných příkazů shrnuje tabulka 11.

Další důležitou funkcí obvodu správy napájení je generování resetovacího pulzu po zapnutí napájení.

Tabulka 11: Seznam příkazů pro firmware správy napájení

Příkaz	Kód	Akce
READ VBAT	0x80	Vrátí hodnotu ADC pro napětí baterie
BEEP SHORT	0x81	Vyprodukuje krátké pípnutí
BEEP LONG	0x82	Vyprodukuje dlouhé pípnutí
CPULED ON	0x83	Rozsvítí CPU LED
CPULED OFF	0x84	Zhasne CPU LED
CPULED BLINK SHORT	0x85	Problikne krátce s CPU LED
CPULED BLINK LONG	0x86	Problikne dlouze s CPU LED
POWEROFF	0x87	Vypne napájení
RESET	0x88	Vygeneruje resetovací pulz
AUDIO MUTE	0x89	Ztlumí audio převodník
AUDIO UNMUTE	0x8A	Opět povolí audio převodník
GET SD STATE	0x8B	Vrátí informaci o vložení paměťové karty

Napsaný program je, jakožto elementární součást navržené desky, připojen ve zdrojové podobě k vlastnímu návrhu a zveřejněn v repositáři projektu MARK-II. Aktuální verze z doby psaní práce je k dispozici i jako elektronická příloha bakalářské práce.

K programu je přiložen i jednoduchý soubor Makefile umožňující jednoduché sestavení a nahrání programu do mikrokontroléru. Očekává se užití operačního systému s jádrem Linux, překladače avr-gcc, knihovny avrlibc a programátoru USBasp společně s avrdude.

11 Oživení desky a ověření funkce

11.1 Výroba a osazení desky

Deska je navržena jako čtyřvrstvá, nejmenší tloušťka čáry je 5mil, nejmenší mezera mezi spoji též 5mil a nejmenší průměr vrtání je 0,35mm. To umožňuje vyrobít desku u řady běžných výrobců. Pro výrobu finální verze je počítáno s užitím firmy OSH Park, ačkoliv prototyp byl vyroben u jiného výrobce, protože dodací doby OSH Parku jsou do Evropy delší.



Obrázek 23: Osazená a zapájená deska

Deska byla navržena pro co možná nejsnadnější ruční pájení. Téměř všechny součástky je možné zapájet klasickou mikropájkou, výjimku tvoří FPGA, které je sice v pouzdru TQFP-144, ale má vyvedenu jednu pájecí plošku pod pouzdrém. Tato ploška musí být spojena se zemí. Pro toto je možné využít horkovzdušné pájecí stanice, případně lépe pájecí pece.

Společně s pájením FPGA v peci je vhodné osadit alespoň oscilátory, které mají také větší část pájecích ploch pod pouzdrém.

Pro pájení zbytku součástek není potřeba žádné speciální vybavení, ale je vhodné použít kvalitní pinzetu a pokud možno pájky menšího průměru. Fotografie osazené a zapájené desky je na obrázku 23.

11.2 Oživení

Oživení desky spočívá hlavně v nahrání firmware do všech jejích částí. To zahrnuje nahrání programu do mikrokontroléru ovládajícího napájení, dále pak konfiguraci obvodu FT230X a nakonec konfiguraci samotného FPGA.

11.2.1 Nahrání firmware do mikrokontroléru

S použitím operačního systému s linuxovým jádrem je snadné použít přiložený soubor Makefile, k tomuto bude potřeba mít nainstalované balíčky gcc-avr, make a avr-libc pro kompilaci, balíček avrdude pro programování a dále pak programátor, například USBasp, pro který je přiložený Makefile napsán.

Po připojení napájecího zdroje 7V až 12V k desce konektorem X12, se připojí i programátor konektorem X13. Následně stačí přejít do složky s uloženým firmware a napsat následující příkaz.

```
$ make load
```

11.2.2 Konfigurace obvodu FT230X

Pro konfiguraci obvodu FT230X, realizující vestavěný převodník USB UART, je k dispozici připravené konfigurační schéma. Pro konfiguraci je ovšem nutné použít počítač s operačním systémem Windows, případně alespoň virtuální počítač.

Od výrobce obvodu, firmy FTDI, je k dispozici program FT_PROG, který je možné využít pro konfiguraci jejích výrobků. Použití programu FT_PROG detailně popisuje aplikační příručka AN_124.

Šablona je k dispozici v elektronické příloze bakalářské práce. Pro konfiguraci obvodu FT230X stačí tuto šablonu načíst programem FT_PROG a nahrát pomocí USB rozhraní do paměti obvodu.

11.2.3 Konfigurace FPGA

Konfigurace FPGA je posledním krokem v procesu ožívování desky, HDL design je v tomto kroku syntetizován a uložen do konfigurační paměti FPGA, odkud je při každém startu načten. Pro tento účel je vhodné využít aktualizovaného HDL designu dostupného z repozitáře projektu, případně je možné využít revizi dostupnou jako elektronická příloha bakalářské práce.

Pro sestavení konfigurace je potřeba program Quartus, vyžadována je verze 17.0. Jeho instalace je na operačních systémech založených na linuxovém jádře mírně komplikovaná, neboť Quartus pro svůj běh vyžaduje instalaci knihoven ve 32bit verzích.

Postup syntézy spočívá v postavení se do složky s HDL soubory a vytvoření všech projektových souborů pro Quartus. K tomuto účelu je v projektu MARK-II připravený Makefile a stačí tedy spustit následující příkaz.

```
$ make project; quartus MARK_II.qpf
```

Program make vytvoří všechny projektové soubory a následně se otevře Quartus s načteným projektem. Projekt je připravený přímo k syntéze, a je tedy možné využít přímo klávesovou zkratku CTRL+L pro její spuštění.

Po skončení syntézy jsou vytvořeny dva soubory ve složce `output_files`. Prvním je soubor `.sof` a druhým `.pof`. První z nich slouží pro přímou konfiguraci FPGA, druhý pak pro naprogramování konfigurační paměti.

Pro nahrání konfigurace do FPGA je potřeba připojit FPGA k počítači pomocí programátoru. Deska musí mít zapnuté napájení. V nabídce *Tools* programu Quartus se vybere položka *programmer*, zvolí se programátor, soubor `.pof` a spustí se zápis. Po dokončení je FPGA restartováno, nakonfigurováno a připraveno k použití.

11.3 Ověření funkce

Pro otestování lze použít ukázkových programů dostupných v repozitáři projektu MARK-II. Nahrání ukázkového programu otestuje téměř veškeré součásti systému.

Pro nahrání ukázkového programu je opět k dispozici soubor Makefile. Stačí použít příkaz `make` s cílem `load` a mít zapnutou desku připojenou k počítači.

Ukázkový program *blink* prověří správnou funkci obvodu správy napájení, procesorového jádra, sériového portu, paměti SDRAM a dalších. Ukázkový program *vga* zase prověří funkčnost výstupu VGA.

Závěr

Cílem práce byl návrh základní desky pro procesor realizovaný na FPGA. Tento cíl byl úspěšně splněn.

V rámci práce byly diskutovány různé řady FPGA aktuálně dostupné na trhu, a to od firmy Intel, a byl vybrán konkrétní obvod z řady MAX10.

Dále byla diskutována běžná rozhraní základních desek počítače a byly vybrány ty, které byly vhodné pro implementaci na navrhovanou desku.

Deska byla vyhotovena jako čtyřvrstvá s důrazem na snadné ruční pájení a osazování. Prototyp desky byl vyroben a otestován. Drobné chyby v návrhu byly opraveny a výrobní podklady byly zveřejněny v repositáři projektu MARK-II. S revizí f01dfd7 došlo k začlenění těchto podkladů do hlavní větve.

Repositář ve stavu revize f01dfd7 je přiložen jako elektronická příloha bakalářské práce. Aktualizovaný a udržovaný kód je možné získat v oficiálním repositáři projektu na stránkách https://github.com/VladisM/MARK_II.

Před začleněním větve byl proveden port zdrojových kódů VHDL na novou architekturu FPGA, byl upraven řadič paměti SDRAM a změněny další drobnosti v HDL návrhu. Dále byla dopsána knihovna umožňující ovládání obvodu správy napájení z programovacího jazyka C a byly aktualizovány vzorové programy.

V současné době se připravuje jednoduchý shell společně s přípravou řadičů sběrnic SPI a I2C pro připojení zbytku periferií na navržené desce. Navrhovaný shell bude možné použít jako jednoduchý operační systém a bude plně využívat všechny možnosti navržené desky.

Dále je počítáno s vylepšením procesorové architektury, včetně řadiče paměti SDRAM, pro dosažení vyššího výkonu a portace operačního systému splňující standard POSIX.

Použitá literatura

- [1] Asynchronous SRAM. *Integrated Silicon Solution Inc.* [online]. [cit. 2018-03-24]. Dostupné z: <http://www.issi.com/US/product-asynchronous-sram.shtml>
- [2] Connection over PS2 port. *Hw-server.com* [online]. [cit. 2018-04-09]. Dostupné z: <https://hw-server.com/connection-over-ps2-port>
- [3] Consumer Electronics Control. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-23]. Dostupné z: https://en.wikipedia.org/wiki/Consumer_Electronics_Control
- [4] INTEL CORPORATION. *Cyclone IV Device Handbook*. CYIV-5V1-2.2.
- [5] INTEL CORPORATION. *Cyclone V Device Handbook*. CV-5V2.
- [6] INTEL CORPORATION. *Cyclone V Device Overview*. CV-51001.
- [7] TEXAS INSTRUMENTS. *DP83822HF, DP83822IF, DP83822H, DP83822I: DP83822 Robust, Low Power 10/100 Mbps Ethernet Physical Layer Transceiver*. SNLS505B.
- [8] MICROCHIP TECHNOLOGY INC. *ENC28J60: Stand-Alone Ethernet Controller with SPI Interface*. DS39662E.
- [9] CYPRESS SEMICONDUCTOR CORP. *F-RAM Technology Brief*. Dostupné také z: <http://www.cypress.com/file/46186/download>
- [10] FT2232H - Hi-Speed Dual USB UART/FIFO IC. *FTDI Chip* [online]. [cit. 2018-03-12]. Dostupné z: <http://www.ftdichip.com/Products/ICs/FT2232H.html>
- [11] High-Definition Multimedia Interface. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-23]. Dostupné z: https://cs.wikipedia.org/wiki/High-Definition_Multimedia_Interface
- [12] HW server představuje: Paralelní port - LPT (IEEE 1284). *Vyvoj.hw.cz* [online]. [cit. 2018-03-15]. Dostupné z: <https://vyvoj.hw.cz//navrh-obvodu/rozhrani/lpt/hw-server-predstavuje-paralelni-port-lpt-ieee-1284.html>

- [13] IBM Personal System/2. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-22]. Dostupné z: https://cs.wikipedia.org/wiki/IBM_Personal_System/2
- [14] INTEL CORPORATION. *Intel Cyclone 10 LP Device Overview*. C10LP51001.
- [15] INTEL CORPORATION. *Intel FPGA product catalog*. SG-PRDCT-17.0.
- [16] INTEL CORPORATION. *Intel MAX 10 FPGA Device Family Pin Connection Guidelines*. PCG-01018.
- [17] INTEL CORPORATION. *Intel MAX 10 FPGA Signal Integrity Design Guidelines*. M10-SIDG.
- [18] Konektor PS/2. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-22]. Dostupné z: https://cs.wikipedia.org/wiki/Konektor_PS/2
- [19] INTEL CORPORATION. *MAX 10 FPGA Configuration User Guide*. UG-M10CONFIG.
- [20] INTEL CORPORATION. *MAX 10 FPGA Device Overview*. M10-OVERVIEW.
- [21] MICROCHIP TECHNOLOGY INC. *MCP7940N: Battery-Backed I2C Real-Time Clock/Calendar with SRAM*. DS20005010F.
- [22] *Programátor MBFTDI v prostředí Altera Quartus II* [online]. [cit. 2018-03-12]. Dostupné z: <https://marsohod.org/11-blog/196-qprog10b>
- [23] RS-232. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-17]. Dostupné z: <https://cs.wikipedia.org/wiki/RS-232>
- [24] SAMSUNG ELECTRONICS. *Samsung SD & MicroSD Card product family: SDA 3.0 specification compliant-Up to UHS-I mode*. Dostupné také z: <http://www.farnell.com/datasheets/1836582.pdf>
- [25] SATA. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-29]. Dostupné z: <https://cs.wikipedia.org/wiki/SATA>

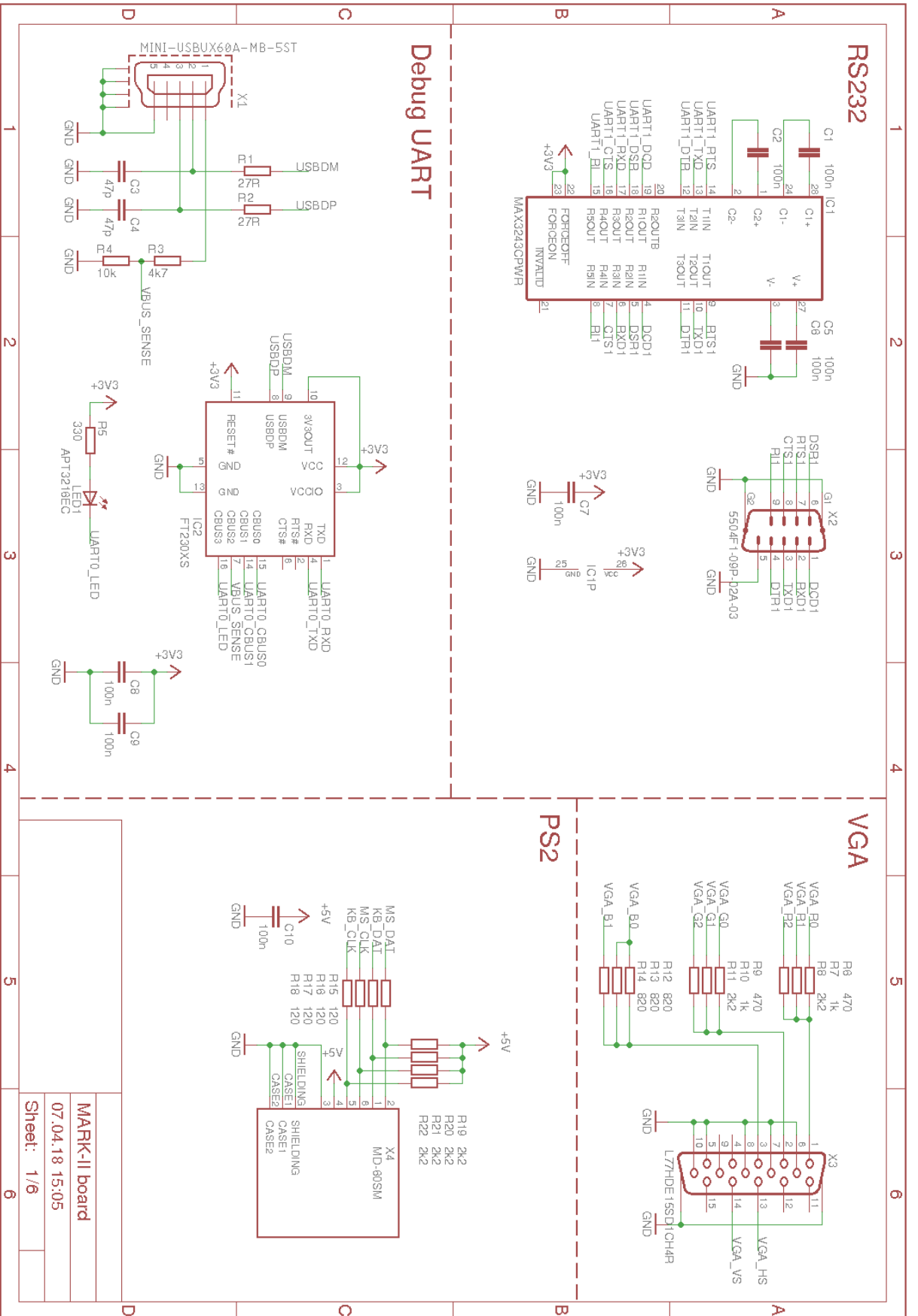
- [26] SDR SDRAM. *Integrated Silicon Solution Inc.* [online]. [cit. 2018-03-24]. Dostupné z: <http://www.issi.com/US/product-dram-SDR.shtml>
- [27] Serial Vector Format File (.svf) Definition. *Quartus Prime Pro Edition Help version 17.1* [online]. [cit. 2018-03-12]. Dostupné z: http://quartushelp.altera.com/17.1/index.htm#reference/glossary/def_svf.htm
- [28] *Terasic Inc.: Expertise in FPGA/ASIC Design* [online]. [cit. 2018-03-11]. Dostupné z: <http://www.terasic.com.tw/en/>
- [29] USB. In: *Wikipedia: the free encyclopedia* [online]. San Francisco (CA): Wikimedia Foundation, 2001- [cit. 2018-03-17]. Dostupné z: <https://en.wikipedia.org/wiki/USB>
- [30] WIZNET CO. INC. *W5100 Datasheet*.

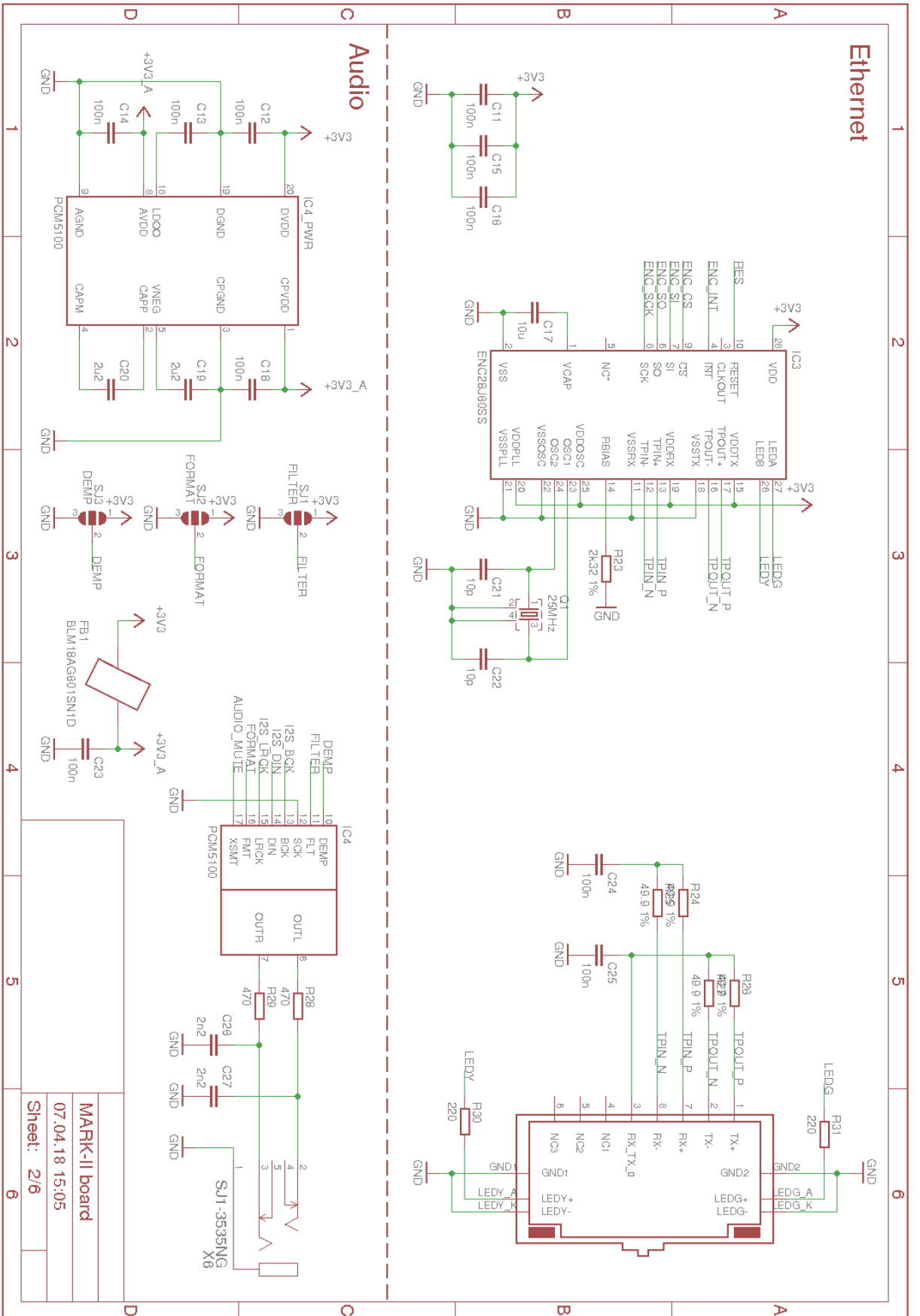
Seznam příloh

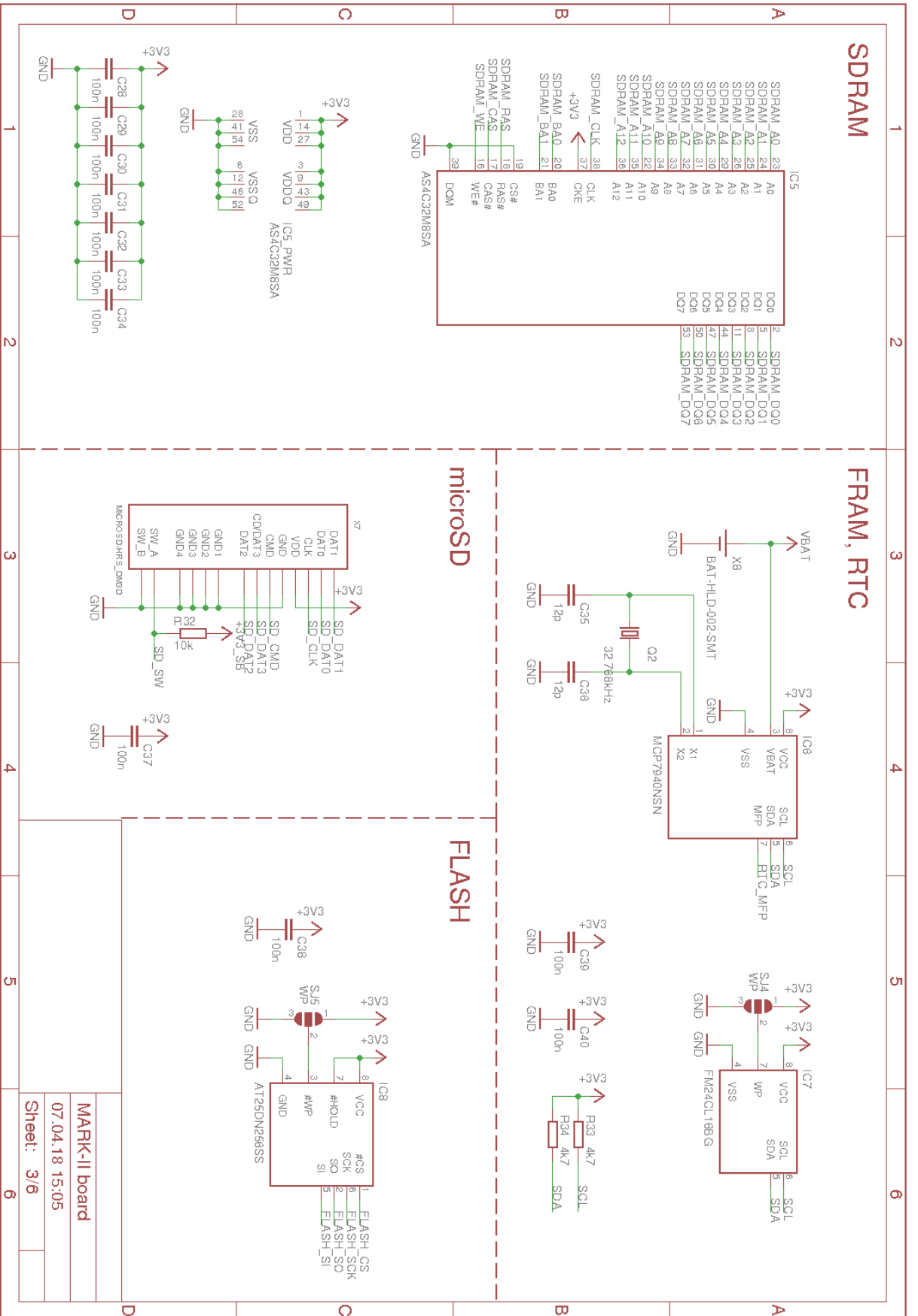
Příloha A	70
-----------------	----

Příloha A

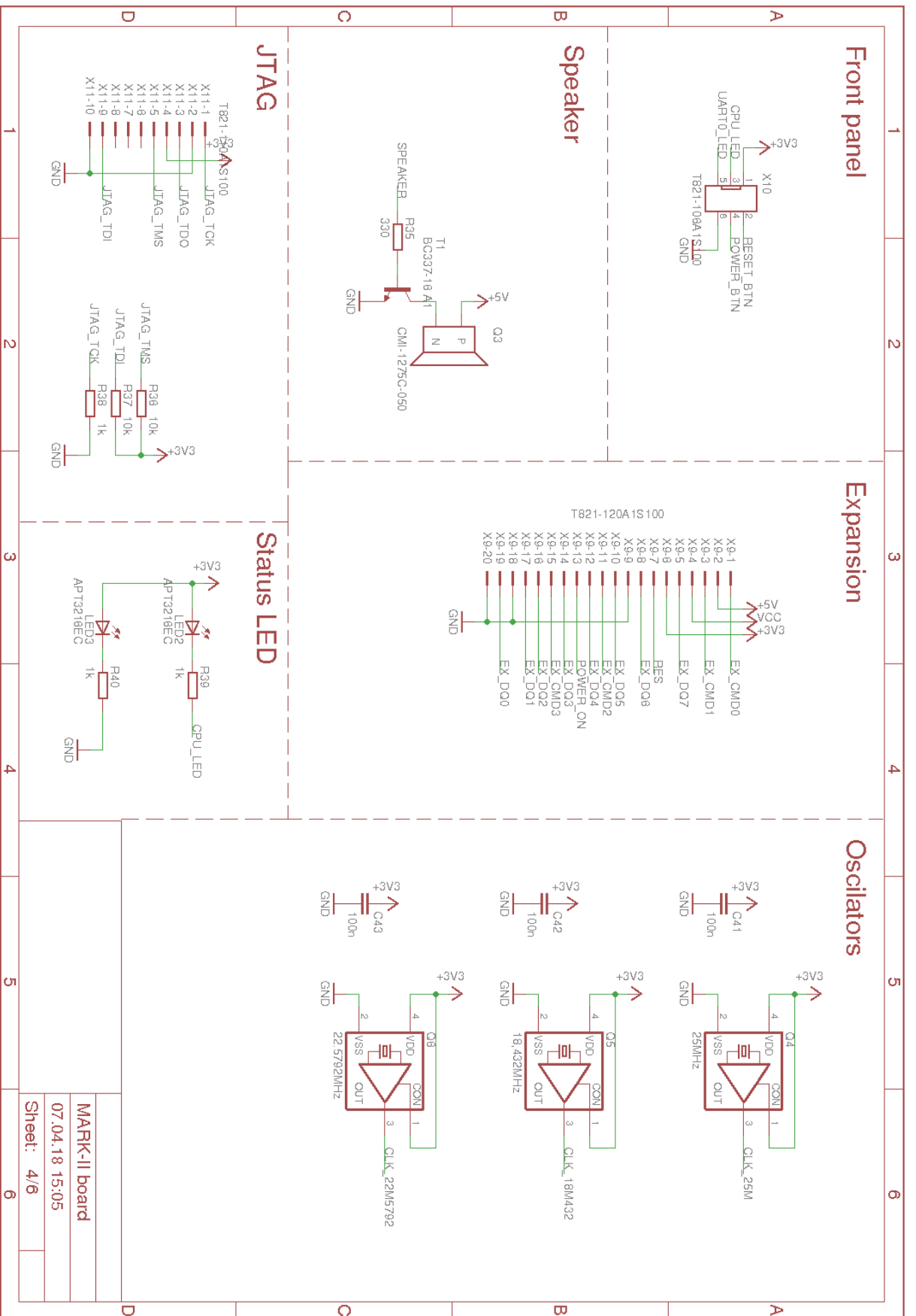
Kompletní schéma navržené desky.



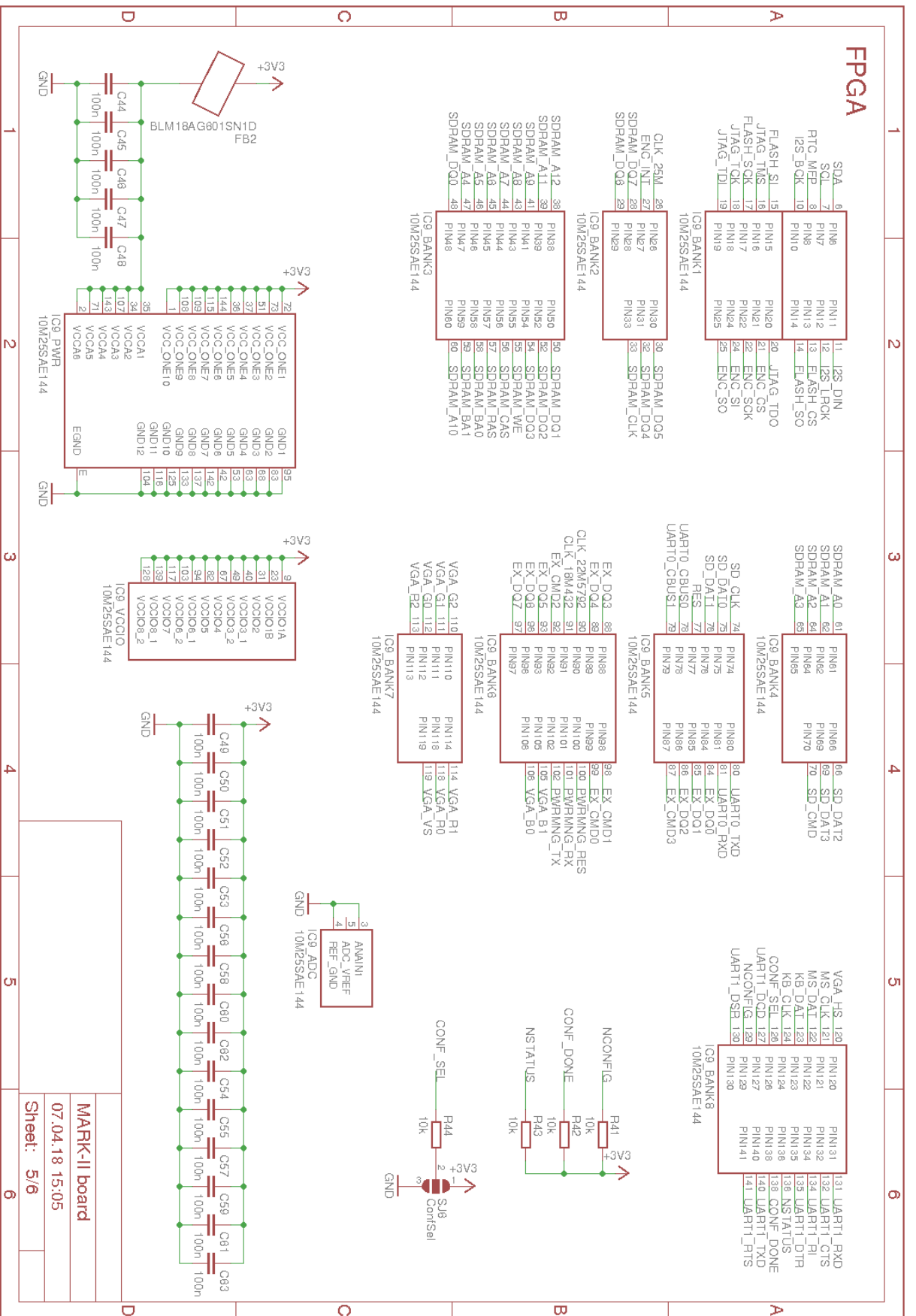




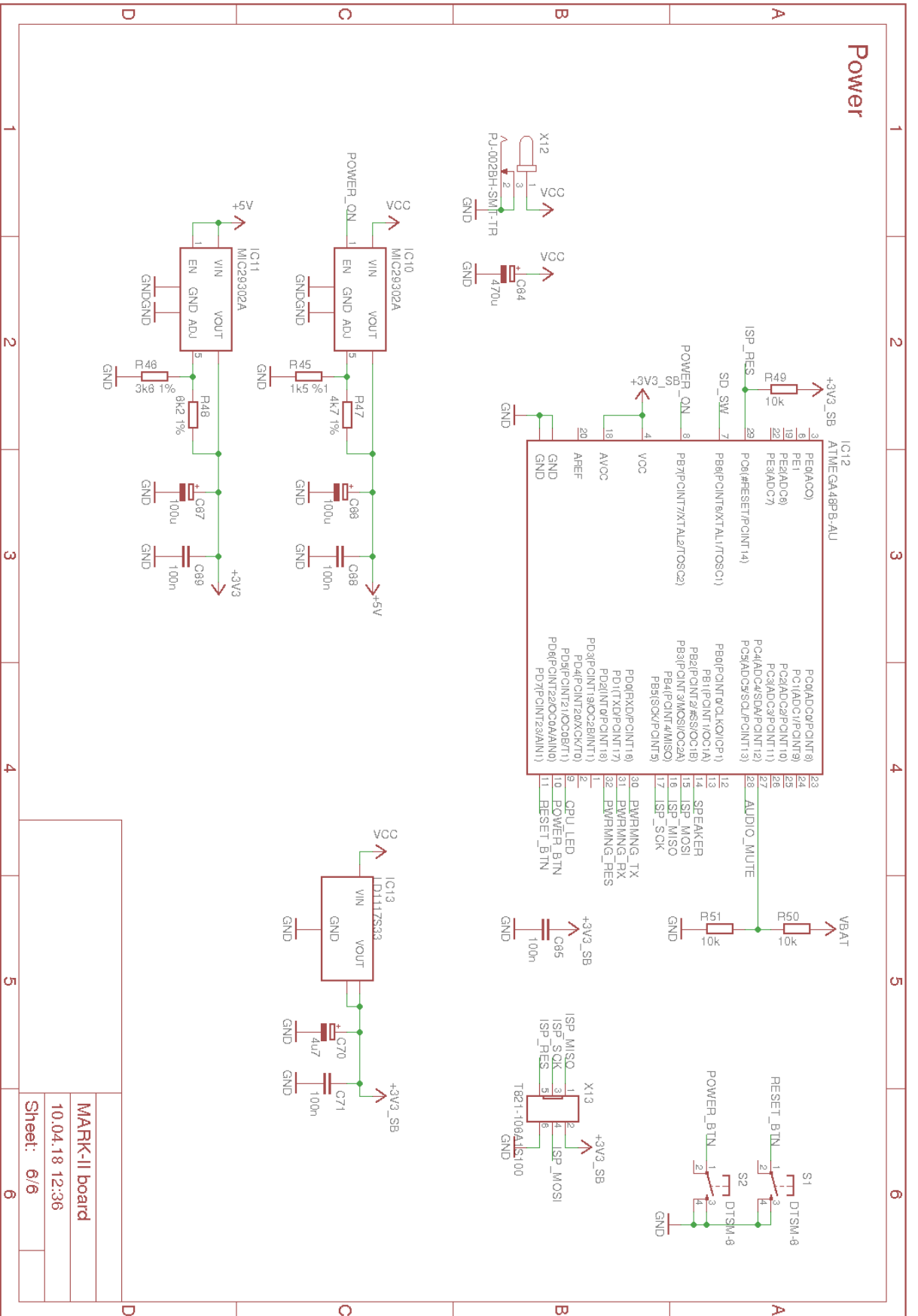
MARK-II board
07.04.18 15:05
Sheet: 3/6



MARK-II board
07.04.18 15:05
Sheet: 4/6



MARK-II board
 07.04.18 15:05
 Sheet: 5/6



MARK-II board
 10.04.18 12:36
 Sheet: 6/6