

UNIVERZITA PARDUBICE

Fakulta elektrotechniky a informatiky

Vývojový kit s FPGA ALTERA

Bc. Ladislav Beran

Diplomová práce 2013

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Bc. Ladislav Beran**
Osobní číslo: **I11352**
Studijní program: **N2612 Elektrotechnika a informatika**
Studijní obor: **Komunikační a řídicí technologie**
Název tématu: **Vývojový kit s FPGA ALTERA**
Zadávací katedra: **Katedra elektrotechniky**

Z á s a d y p r o v y p r a c o v á n í :

Cílem práce je vytvoření vlastního vývojového kitu s FPGA Altera, včetně základních periférií, programátoru a demonstračních příkladů. Součástí práce bude návrh a vytvoření desky plošných spojů (DPS) s FPGA a DPS s programátorem. Práce by měla být zakončena experimentálním ověřením funkčnosti zařízení.

V průběhu práce bude

- a) využito stávajícího vývojového kitu s FPGA ALTERA
 - b) proveden návrh vlastního programátoru
 - c) proveden návrh desky FPGA s několika základními perifériemi (tlačítka, 7 seg. display, ...).
- Součástí práce bude vytvoření dokumentace návrhu, sestavení a oživení vývojové desky pro možnost snadné pozdější replikace, včetně popisu vytvoření výrobních podkladů a popisu komunikace s firmou vyrábějící DPS.

Práce by měla realizována ve zhruba následujících etapách:

1. Analýza problematiky a rešerše stávajících způsobů řešení s ohledem na problematiku osazování BGA pouzder a návrh vícevrstevných desek.
2. Volba vhodné platformy a způsobů vývoje a výroby zařízení.
3. Výroba prototypového vzorku a jeho oživení.
4. Optimalizace parametrů a případná výroba finální verze vývojového kitu.

Rozsah grafických prací:

Rozsah pracovní zprávy:

Forma zpracování diplomové práce: **tištěná/elektronická**

Seznam odborné literatury:

[1] HOWARD, Johnson a Martin GRAHAM. PRENTICE HALL. High Speed Signal Propagation: Advanced Black Magic. Professional technical reference: Prentice Hall, 2003. ISBN 0-13-084408-X.

[2] HOWARD, Johnson a Martin GRAHAM. PRENTICE HALL. High Speed Signal Propagation: A Handbook of Back Magic. Professional technical reference: Prentice Hall, 1993.

[3] BOGATIN, Eric. Signal and power integrity. Upper Saddle River: Prentice Hall, 2004, xviii, 874 s. Prentice-Hall Modern Semiconductor Design Series. ISBN 01-306-6946-6.

[4] ALTERA. Dokumentace k vývojovému kitu DE2 [Online elektronická dokumentace]. 23.6.2006. 24 s. [cit. 23.2.2013]. 2.revize. Dostupné z: http://www.cs.columbia.edu/%20sedwards/classes/2013/4840/DE2_schematics.pdf

Vedoucí diplomové práce:

Ing. Martin Dobrovolný, Ph.D.

Katedra elektrotechniky

Datum zadání diplomové práce:

31. října 2012

Termín odevzdání diplomové práce:

17. května 2013



prof. Ing. Simeon Karamazov, Dr.
děkan



L.S.



Ing. Zdeněk Němec, Ph.D.
vedoucí katedry

V Pardubicích dne 15. listopadu 2012

Prohlášení autora

Prohlašuji, že jsem tuto práci vypracoval samostatně. Veškeré literární prameny a informace, které jsem v práci využil, jsou uvedeny v seznamu použité literatury.

Byl jsem seznámen s tím, že se na moji práci vztahují práva a povinnosti vyplývající ze zákona č. 121/2000 Sb., autorský zákon, zejména se skutečností, že Univerzita Pardubice má právo na uzavření licenční smlouvy o užití této práce jako školního díla podle § 60 odst. 1 autorského zákona, a s tím, že pokud dojde k užití této práce mnou nebo bude poskytnuta licence o užití jinému subjektu, je Univerzita Pardubice oprávněna ode mne požadovat přiměřený příspěvek na úhradu nákladů, které na vytvoření díla vynaložila, a to podle okolností až do jejich skutečné výše.

Souhlasím s prezenčním zpřístupněním své práce v Univerzitní knihovně.

V Pardubicích dne 2.9.2013

Bc. Ladislav Beran

Poděkování

Rád bych poděkoval Ing. Martinu Dobrovolnému Phd. za vedení této diplomové práce. Dále bych chtěl poděkovat všem učitelům, kteří mne učili za vynikající odvedenou práci a vstřícnost. V neposlední řadě bych chtěl poděkovat mé rodině a přítelkyni za podporu při studiu.

Anotace

Práce pojednává o postupu návrhu desek plošných spojů s ohledem na elektromagnetickou kompatibilitu a pouzdra BGA. V práci jsou popsány základní postupy výroby DPS, jejich osazování a pájení. Praktická část práce zabývá návrhem vlastního vývojového kitu s pouzdem BGA, včetně popisu jeho oživení. Dále se práce zabývá vývojem vlastního programátoru hradlových polí, včetně otestování funkčnosti na navrženém vývojové kitu.

Klíčová slova

Návrh plošných spojů, Elektromagnetická kompatibilita, BGA pouzdra, FPGA ALTERA, AVR

Title

Development kit with FPGA Altera

Annotation

This work deals about design printed circuit board (PCB) with respect to electromagnetic compatibility and BGA pad. In work are theoretically described basic procedures of production PCB, mounting and soldering BGA pads. Practical part of work is about design own development kit with FPGA ALTERA with description of first start. Next part of this work deals design and development own FPGA programmer with function test on the development kit.

Keywords

Design of printed circuit board, electromagnetics compatibility, BGA pad, FPGA ALTERA, AVR

Obsah

Seznam zkratk	8
Seznam tabulek	11
Seznam příloh	12
Úvod	13
1 Návrh DPS	15
1.1 Rozmístění součástek	15
1.1.1 Rozmístění součástek z hlediska kmitočtu	15
1.1.2 Rozmístění součástek z hlediska funkce	16
1.1.3 Napájení součástek z hlediska funkce	16
1.1.4 Rozvod hodinového signálu	17
1.1.5 Ochrana vstupně - výstupních obvodů	18
1.2 Návrh DPS s ohledem na EMC	20
1.2.1 Návrh DPS s ohledem na EMC	21
1.3 Návrh DPS s ohledem na vysoké kmitočty	24
1.3.1 Impedance.....	24
1.3.2 Skin efekt.....	25
1.3.3 Rychlost šíření signálu	26
1.3.4 Odrazy na vedení	26
2 Výroba DPS	28
2.1 Popis používaných materiálů.....	28
2.1.1 Podkladové materiály pro plošné spoje	28
2.1.2 Měděná fólie	28
2.1 Technologické možnosti výroby	29
2.1.1 Technologická výroba	29
2.1.2 Vygenerování filmových podkladů z programu PADS.....	32
2.2 Výroba DPS.....	37
2.2.2 Doporučený návrh DPS pro BGA pouzdra	42
2.2.3 Prokovené otvory.....	44
2.2.4 Povrchová úprava DPS	46
2.2.5 Metody osazování DPS	47

2.2.6	Postupy pájení SMD součástek	48
2.2.7	Postupy pájení při smíšené povrchové montáži	50
2.2.8	Montáž BGA pouzder.....	51
3	Programátor FPGA.....	56
3.1	Komponenty	56
3.1.1	Paměť EPCS.....	56
3.1.2	Mikrokontrolér	57
3.1.3	Napájení programátoru	58
3.1.4	Převodník USB↔RS232	59
3.1.5	Ostatní periferie	59
3.2	Stavový registr.....	60
3.3	Podporované instrukce EPCS	60
3.4	Oživení prototypu programátoru	61
3.4.1	Osazení a pájení.....	61
3.4.2	Oživení	61
3.5	Ovládání programátoru.....	62
3.5.1	Komunikační protokol s programátorem.....	63
3.5.2	Komunikace mikrokontroléru s EPCS	64
3.5.3	Write enable.....	65
3.5.4	Write disable.....	65
3.5.5	Read status.....	65
4	Vývojový kit s FPGA.....	66
4.1	Návrh napájecího zdroje.....	66
4.1.1	Návrh DC-DC měniče	66
4.1.2	Návrh filtrů DC-DC zdroje.....	68
4.2	FPGA.....	69
4.2.1	Parametry FPGA	70
4.2.2	Struktura FPGA	71
4.2.3	Schématický popis FPGA.....	75
4.2.4	Popis vývodů FPGA	78
4.3	Uživatelské vstupy.....	81
4.3.1	Uživatelské vstupy/výstupy přes 40pinový expanzní konektor	81

4.3.2	Uživatelské přepínače.....	82
4.3.3	Uživatelská tlačítka.....	82
4.4	Uživatelské výstupy.....	83
4.4.1	Led diody.....	83
4.4.2	Sedmisegmentový LCD displej.....	83
4.4.3	LCD displej 2x16 znaků.....	84
4.5	Paměti.....	85
4.5.1	EPCS paměť.....	85
4.5.2	SDRAM paměť.....	86
4.5.3	FLASH paměť.....	86
4.6	AD převodníky.....	87
4.7	Zdroj hodin.....	88
4.8	Ethernet.....	88
5	Oživení vývojového kitu.....	88
5.1	Osazení a pájení.....	88
5.1.1	Integrované obvody.....	88
5.1.2	Oživení napájení.....	89
5.1.3	Ostatní součástky.....	90
5.2	Oživení FPGA.....	90
6	Nahrání programu.....	93
6.1	Programování FPGA pomocí komerčního programátoru.....	93
6.1.1	JTAG rozhraní.....	93
6.1.2	Rozhraní Active-serial.....	94
6.1.3	Passive-serial rozhraní.....	95
6.2	Použití vytvořeného programátoru.....	96
6.2.1	Vytvoření souboru RPD.....	96
6.2.2	Programování.....	96
7	Závěr.....	98
	Seznam použitých zdrojů.....	100

Seznam zkratek

FPGA – Field Programmable Gate Array

BGA – Ball Grid Array

DPS – Deska plošných spojů

PCB – Printed Circuit Board - Deska plošných spojů

JTAG – Joint Test Action Group

AVR – Advanced Virtual RISC

RISC – Reduced Instruction Set Computer

EEPROM – Electrically Erasable Programmable Read-Only Memory

SMT – Surface Mount Technology

SMD – Surface Mount Device

THT – Through-hole technology

THD – Through-hole Device

HAL – Hot Air Leveling

Seznam obrázků

Obrázek 1 : Schéma rozmístění součástek podle rychlosti komunikace [5]	16
Obrázek 2 : Rozmístění správného oddělení analogových součástek od digitálních [5]	16
Obrázek 3 : Vhodné zapojení oddělení analogového a digitálního napájení [5].....	17
Obrázek 4 : Možnosti pospojování analogové a digitální země [5]	17
Obrázek 5 : Rozvod hodinového signálu[5].....	17
Obrázek 6 : Vstupně/výstupní filtrace [5]	18
Obrázek 7 : Ochrana vstupů přes ESD pomocí schottkyho diod [9].....	20
Obrázek 8 : Definice meze vyzařování a odolnosti [8]	20
Obrázek 9 : Vliv patice u THT součástek na velikost proudové smyčky [5].....	22
Obrázek 10 : Typické chyby při návrhu DPS[5]	22
Obrázek 11 : Správné umístění blokovacích kondenzátorů	23
Obrázek 12 : Typy uzemnění[54].....	23
Obrázek 13 : Geometrický návrh spoje s vlastní impedancí [5].....	25
Obrázek 14 : Návrh geometrie diferenčních párů pro konstantní vlastní impedanci [5]	25
Obrázek 15 : Odrazy na nepřizpůsobeném vedení [5]	27
Obrázek 16 : Ukázka výrobních možností firmy Pragoboard pro standardní výrobu [7]	31
Obrázek 17 : Nastavení vrstvy TOP při generování podkladů.....	33
Obrázek 18 : Nastavení vlastností vrstvy TOP při generování podkladů.....	33
Obrázek 19 : Nastavení vlastností vrstvy BOTTOM při generování podkladů	34
Obrázek 20 : Správné nastavení vrstvy Solder Mask	34
Obrázek 21 : Nastavení vrstvy potisku.....	35
Obrázek 22 : Nastavení vrstvy obrys.....	35
Obrázek 23 : Nastavení pro vrstvu prokovené vrtání	36
Obrázek 24 : Nastavení pro vrstvu neprokovené vrtání	36
Obrázek 25 : Výsledek autoimportu do programu CAM350	37
Obrázek 26 : Ukázka výroby oboustranné DPS semiaditivním postupem [5].....	39
Obrázek 27 : Typy překrytí plošek nepájivou maskou [11].....	42
Obrázek 28 : Ukázka zapájení BGA u plošek s nepájivou maskou [11].....	43
Obrázek 29 : Doporučené polohy prokovů mezi ploškami BGA pouzdra [11]	43
Obrázek 30 : Vzdálenosti pro vedení spojů mezi ploškami BGA [11]	44
Obrázek 31 : Schéma plných prokovů [7].....	44
Obrázek 32 : Schéma slepých prokovů [7].....	45
Obrázek 33 : Schéma pohřbených prokovů [7].....	45
Obrázek 34 : Schéma DPS pro tvrdokovové zlacení konektorů [5].....	47
Obrázek 35 : Typy vývodů SMD součástek [5]	48
Obrázek 36 : Schéma pájení SMD součástek přetavením [5]	49
Obrázek 37 : Problémy vznikající při pájení přetavením u nesymetrického návrhu [5].....	49
Obrázek 38 : Schéma pájení SMD součástek pájecí vlnou [5].....	49
Obrázek 39 : Možnosti pájení smíšené povrchové montáže [5]	50
Obrázek 40 : Průběh efektu dvojího poklesu při pájení BGA [6]	52

Obrázek 41 : Detail průběhu dvojího efektu při pájení BGA [6]	52
Obrázek 42 : Samovystředovací schopnost BGA pouzder [6]	52
Obrázek 43 : Pájení BGA pouzder horkým vzduchem [6].....	54
Obrázek 44 : Ukázka distribuce tepla při použití tří druhů trysek [6].....	54
Obrázek 45 : Ukázka distribuce tepla při infračerveném ohřevu [6]	54
Obrázek 46 : Zapojení vývodů paměti EPCS [1]	57
Obrázek 47 : Vnitřní blokové schéma paměti EPCS [1].....	57
Obrázek 48 : Zapojení vývodů mikrokontroléru AVR ATmega128[13].....	58
Obrázek 49 : Nastavení převodníku FT232RL.....	59
Obrázek 50: Stavový registr paměti EPCS[1]	60
Obrázek 51 : Průběh instrukce read status.....	65
Obrázek 52 : Schéma zapojení DC-DC měniče pro +3.3 V napájení [2].....	67
Obrázek 53: Teplotní simulace DC-DC měniče pro vst. napětí 20V, výst. 3.3V/2A [2]....	67
Obrázek 54 : Schéma použitého PI-článku.....	68
Obrázek 55 : Závislost útlumu navrženého filtru na frekvenci	69
Obrázek 56 : Ukázka podpory EPCS paměti různými typy FPGA obvodů [3]	70
Obrázek 57 : Vnitřní blokové schéma hradlového pole řady Cyclone II [4]	71
Obrázek 58 : Schéma zapojení logického elementu (LE) [4].....	73
Obrázek 59 : Blokové schéma násobičky u obvodů Cyclone II [4]	74
Obrázek 60 : Schéma zapojení vstupu/výstupu	74
Obrázek 61 : Schéma zapojení fázového závěsu PLL.....	75
Obrázek 62 : Rozmístění napájecích plošek pro napájení jádra FPGA.....	76
Obrázek 63 : Rozmístění napájecích plošek pro napájení periferií FPGA.....	76
Obrázek 64 : Rozmístění zemnicích plošek FPGA	77
Obrázek 65 : Schéma vnitřního rozložení IO bank [4].....	77
Obrázek 66 : Schématické zapojení ochrany vstupu č. 1	81
Obrázek 67 : Schématické zapojení uživatelského přepínače SW1	82
Obrázek 68 : Schématické zapojené uživatelského tlačítka	82
Obrázek 69 : Schéma zapojení uživatelských LED diod	83
Obrázek 70 : Zapojení sedmissegmentového displeje	84
Obrázek 71 : Schéma zapojení LCD displeje.....	84
Obrázek 72 : Schéma zapojení EPCS paměti.....	85
Obrázek 73 : Zapojení paměti SDRAM	86
Obrázek 74 : Zapojení paměti FLASH.....	87
Obrázek 75 : Zapojení ADC převodníku.....	87
Obrázek 76 : Schéma zapojení zdroje hodin pro FPGA.....	88
Obrázek 77 : Průběh generovaného signálu pro FPGA z oscilátoru 50 MHz.....	90
Obrázek 78 : Průběh signálu nSTATUS při prázdné paměti EPCS	91
Obrázek 79 : Průběh signálu na pinu 5 (ASDI) paměti EPCS	91
Obrázek 80 : Průběh hodinového signálu na pinu 6 (DCLK) paměti EPCS.....	92
Obrázek 81 : Umístění programovacích konektorů na DPS.....	93
Obrázek 82 : Zapojení JTAG konektoru	94

Obrázek 83 : Nastavení pro programování přes rozhraní JTAG	94
Obrázek 84 : Zapojení active-seriál konektoru.....	95
Obrázek 85 : Nastavení pro programování přes rozhraní Active-serial	95

Seznam tabulek

Tabulka 1 : Doporučené názvy souborů pro výrobu [7].....	32
Tabulka 2 : Vzdálenosti pro prokovy u BGA pouzdra[11]	43
Tabulka 3 : Závislost maximální hloubky prokovů na průměru prokovu [7]	45
Tabulka 4 : Maximální hloubka pohřbeného prokovu na průměru vrtaného otvoru [7].....	46
Tabulka 5 : Tabulka velikostí pamětí EPCS[1].....	56
Tabulka 6 : Programovací piny obvodu ATmega128 [13].....	58
Tabulka 7 : Seznam podporovaných instrukcí pamětí EPCS [1]	60
Tabulka 8 : Řídící slova komunikačního protokolu	64
Tabulka 9 : Podporované instrukce programátorem.....	64
Tabulka 10 : Srovnání parametrů FPGA řady cyclone II [3]	70
Tabulka 11 : Množství dostupné paměti pro obvody řady Cyclone II [4]	72
Tabulka 12 : Možnosti konfigurace bloku M4K buněk [4].....	72
Tabulka 13 : Konfigurační nastavení pinů MSEL [4]	79

Seznam příloh

Příloha 1 : Zapojení vývojového kitu – periferie.....	I
Příloha 2 : Zapojení vývojového kitu –vstupy.....	II
Příloha 3: Zapojení vývojového kitu - Napájení	III
Příloha 4 : Zapojení vývojového kitu – Paměti	IV
Příloha 5 : Zapojení vývojového kitu - Oscilátor 50 MHz.....	V
Příloha 6 : Zapojení vývojového kitu - ochrana I/O pinů.....	VI
Příloha 7 : Zapojení vývojového kitu - Ethernetový převodník	VII
Příloha 8 : Zapojení vývojového kitu - LCD displej	VIII
Příloha 9 : Zapojení vývojového kitu - Napájení obvodu FPGA	IX
Příloha 10 : Zapojení vývojového kitu - Banka 1 a 2.....	X
Příloha 11 : Zapojení vývojového kitu - Banka 3 a 4.....	XI
Příloha 12 : Zapojení vývojového kitu - Banka 5 a 6.....	XII
Příloha 13 : Zapojení vývojového kitu - Banka 7 a 8.....	XIII
Příloha 14 : DPS vývojového kitu - vrstva TOP	XIV
Příloha 15 : DPS vývojového kitu - vrstva IN2.....	XV
Příloha 16 : DPS vývojového kitu - vrstva IN3.....	XVI
Příloha 17 : DPS vývojového kitu - vrstva IN4.....	XVII
Příloha 18 : DPS vývojového kitu - vrstva IN5.....	XVIII
Příloha 19 : DPS vývojového kitu - vrstva BOTTOM	XIX
Příloha 20 : DPS vývojového kitu – Osazovací výkres TOP	XX
Příloha 21 : DPS vývojového kitu – Osazovací výkres BOTTOM.....	XXI
Příloha 22 : Vyrobená DPS vývojového kitu - strana TOP.....	XXII
Příloha 23 : Vyrobená DPS vývojového kitu - strana BOTTOM	XXIII
Příloha 24 : Oživený vývojový kit.....	XXIV
Příloha 25 : Schéma programátoru	XXV
Příloha 26 : DPS programátoru - vrstva TOP.....	XXVI
Příloha 27 : DPS programátoru - vrstva TOP.....	XXVII
Příloha 28 : Blokové schéma vývojového kitu.....	XXVIII
Příloha 29 : Blokové schéma programátoru	XXIX

Úvod

Dnešní doba je dobou elektronickou. S každým nově vytvořeným zařízením dochází k vylepšení jeho funkce, zvýšení výpočetního výkonu, snížení spotřeby a zmenšení jeho plošných rozměrů. Je až s podivem jakého skoku se dosáhlo v elektrotechnice od vynalezení prvního tranzistoru po dnešní velice komplikované integrované obvody. Tyto obvody pracující na frekvenci až několika GHz a mají velké množstvím uživatelsky programovatelných vývodů.

Jedním z těchto velmi komplikovaných integrovaných obvodů jsou i programovatelná hradlová pole – FPGA. Programovatelná hradlová pole jsou jedním z nejvýznamnějších směrů vývoje integrovaných obvodů s velmi velkou hustotou integrace. Tyto hradlová pole jsou tvořeny velkou spoustou programovatelných bloků (logických elementů) schopných realizovat jednoduché logické funkce. Uživatelsky navoleným propojením těchto buněk lze dosáhnout realizace komplexních funkcí, k jejichž realizaci by bylo v případě „obyčejného“ mikroprocesoru nutné použít mnoho různých specializovaných obvodů.

FPGA obvody v dnešní době díky své modularitě, snadnému návrhu koncové aplikace, rostoucím výpočetním výkonům a i klesajícím cenám nacházejí stále větší uplatnění. Přes všechny tyto výhody mají hradlové pole i nevýhodu, kterou je složitý návrh plošného spoje pro v dnešní době velmi používané pouzdra BGA.

Cílem této práce bylo prostudovat technologii návrhu plošných spojů s ohledem na BGA pouzdra a vícevrstvé plošné spoje. Práce se zabývá teoretickým návrhem DPS s ohledem na elektromagnetickou kompatibilitu, návrhem vlastního programátoru hradlového pole a návrhem vlastního vývojového kitu.

Vlastní práce je rozdělena do tří nosných částí. V první části se autor zabývá teoretickým návrhem plošných spojů, technologickými možnostmi výroby a návrhu plošných spojů s ohledem na elektromagnetickou kompatibilitu, bez které není možné sebelepší zařízení uvést na trh.

V první části praktické části práce je popsán návrh a oživení vlastního programátoru hradlového pole, včetně popisu paměti EPCS, komunikace s pamětí a popisem ovládacího a komunikačního SW.

V druhé praktické části se práce zabývá návrhem a fyzickou konstrukcí vlastního vývojového kitu s FPGA od firmy Altera. V této části práce se autor zabývá návrhem a výběrem komponent a jejich připojení k programovatelnému hradlovému poli. Vzhledem k obrovskému rozsahu problematiky hradlových polí není možné podat vyčerpávající popis hradlového pole. Tento popis by zabral stovky, ne-li tisíce stran. Zájemci o tuto problematiku mohou podrobnější informace získat ze stránek výrobce [3].

Poslední část práce se zabývá naprogramováním a ukázkou tvorby demonstračního projektu na vlastním vývojovém kitu.

1 Návrh DPS

Při návrhu DPS musí mít vývojář vždy na paměti několik základních pravidel, bez jejichž znalosti je velmi problematické dosáhnout funkčnosti a spolehlivosti finálního produktu.

Vyrobitelnost DPS

Již při vytváření návrhu desky je nutné dbát na to, aby deska byla vůbec vyrobitelná. Při návrhu je nutné stanovit počet vrstev DPS, respektovat třídy přesnosti a důkladně prostudovat technologické možnosti výrobců.

Osazování a pájení součástek

Použité součástky v navržené desce zásadně ovlivňují osazení desky a její zapájení. Již při návrhu součástky musí mít vývojář ujasněno, jakým způsobem se bude deska pájet. V praxi existuje několik způsobů pájení. Prvním způsobem je klasické pájení pomocí mikropájky a cínu. V tomto případě vývojář může rychle navrhnout požadovanou součástku a nemusí se zabývat vytvořením vrstev pro pájecí pastu či lepidlo, jak by tomu bylo u pájení pomocí přetavení nebo u pájení vlnou.

Elektrická funkce

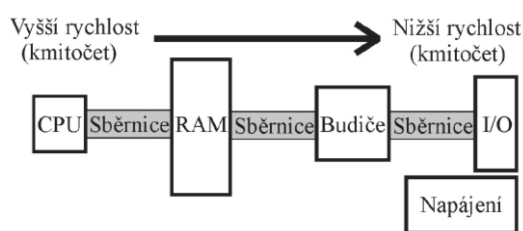
Návrh desky z hlediska elektrické funkce je velmi rozsáhlý. Vývojář musí mít široké znalosti ohledně použitých součástek a přesně vědět, jak která pracuje. Dále musí vývojář respektovat správné rozmístění součástek tak, aby se dosáhlo správné funkčnosti finálního výrobku. Vývojář musí respektovat maximální proudovou a napěťovou zatížitelnost každého spoje, musí řešit možné přeslechy, zpoždění signálu, impedanci vedení, správného uzemnění součástek, správný odvod tepla a zejména otázku elektromagnetické kompatibility. V případě, že vývojář zanedbá návrh desky z hlediska EMC, nenavrhne odrušovací filtry, stínění aj. nemusí zařízení splnit požadované normy a nedostane se tedy vůbec na trh, což znamená vynaložení velkých finančních prostředků na jeho odrušení.

1.1 Rozmístění součástek

Správné rozmístění součástek na DPS je jedním z nejdůležitějších předpokladů pro správnou funkci finálního zařízení. Jsou stanovená jednotlivá pravidla pro blokové kondenzátory, ochranné obvody vstupů, impedanční přizpůsobení, vedení hodinových signálů aj.

1.1.1 Rozmístění součástek z hlediska kmitočtu

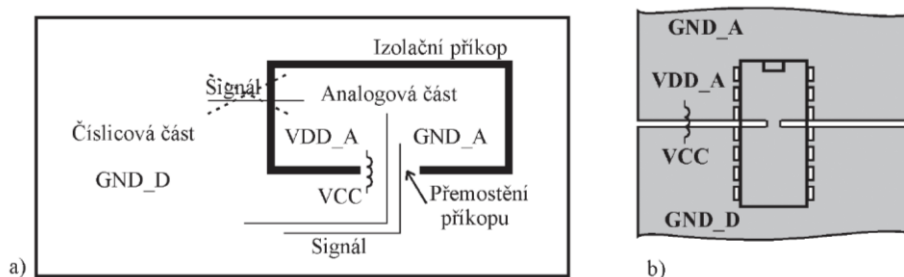
Základním předpokladem pro správné rozmístění součástek na DPS je důkladná znalost funkcí jednotlivých používaných obvodů a jejich pracovních frekvencí. Rozmístění součástek by mělo být navrženo tak, aby co nejbližší procesoru byly obvody s nejvyšší pracovní frekvencí. Schéma rozložení součástek je zobrazeno na Obrázek 1.



Obrázek 1 : Schéma rozmístění součástek podle rychlosti komunikace [5]

1.1.2 Rozmístění součástek z hlediska funkce

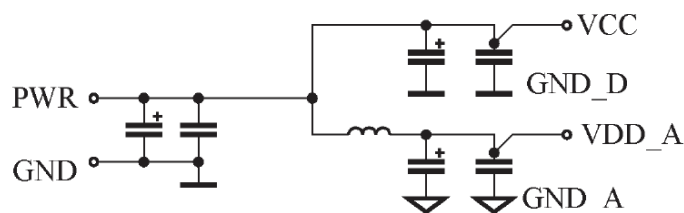
V návrhu je potřeba dbát na správné oddělení jednotlivých funkčních bloků. Při návrhu nelze kombinovat digitální a analogové obvody bez patřičného oddělení. Spínáním digitálních obvodů je generováno velké rušení, které výrazně ovlivňuje analogové obvody. Ideálním řešením je použití nezávislého napájecího zdroje pro analogovou a digitální část. Tato metoda ovšem přináší větší náklady na výrobu finálního produktu, proto se ve většině případů používá společného napájení. Bohužel přes společné napájení se galvanickou vazbou přenáší rušení, produkované digitálními obvody do analogových obvodů. Toto rušení lze alespoň částečně omezit vhodným rozmístěním analogových součástek na DPS a správným oddělením napájecího napětí pro digitální a analogovou část. Na Obrázek 2 bod A je zobrazeno správné oddělení a vedení komunikačních a napájecích vodičů mezi analogovou a digitální částí DPS. Pro co největší eliminaci rušení je vhodné kolem analogové části vytvořit tzv. izolační příkop a v pouze jednom místě je možné za pomoci PI-článku propojit analogovou a digitální zem. Tomuto místu se říká přemostění příkopu. Praktický návrh oddělení analogové a digitální části je zobrazen na Obrázek 2.



Obrázek 2 : Rozmístění správného oddělení analogových součástek od digitálních [5]

1.1.3 Napájení součástek z hlediska funkce

Napájení digitálních a analogových součástek by mělo být odděleno kvůli rušení produkovanému v digitálních obvodech. Vhodné zapojení oddělení napájení je zobrazeno na Obrázek 3.



Obrázek 3 : Vhodné zapojení oddělení analogového a digitálního napájení [5]

Na Obrázek 4 jsou zobrazeny různé způsoby oddělení analogové a digitální země. První možnost oddělení je nevhodná, protože spojuje digitální a analogovou zem přímo bez jakéhokoliv oddělení. Druhá možnost je vhodnější z důvodu zapojení tlumivky. Tato tlumivka funguje jako filtr a omezuje přenos rušení galvanickou vazbou.

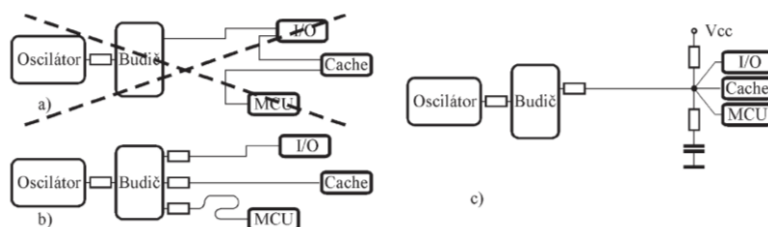


Obrázek 4 : Možnosti pospojování analogové a digitální země [5]

1.1.4 Rozvod hodinového signálu

Při návrhu DPS je nutné dbát zvláštní pozornost rozvodu hodinového signálu. V mnoha případech se používá vlastní zdroj hodinového signálu (krystal nebo oscilátor), umístěný co nejbližší integrovaného obvodu. Tento rozvod hodinového signálu ve většině případů nedělá problémy, protože délka spoje je do vzdálenosti pár centimetrů. Pro omezení vyzařovaného rušení je vhodné vedení hodinového signálu obklopit z obou stran paralelně vedenými vodiči spojenými na obou koncích s rozlitou zemí. Toto paralelní vedení funguje jako stínění.

Existují případy, kdy je nutné použití z důvodu synchronizace pouze jednoho zdroje hodinového signálu (oscilátoru), od kterého se odvíjí veškerá funkce celého zařízení. V tomto případě je nutné dbát zejména na stejnou délku vedení od zdroje hodinového signálu. V případě, že by se jednalo o oscilátor, pracující na frekvenci několika stovek MHz, může již nesterádná délka spojů vést k problémům se synchronicitou jednotlivých obvodů. Na Obrázek 5 jsou zobrazeny možné správné a chybné případy vedení hodinového signálu.



Obrázek 5 : Rozvod hodinového signálu[5]

1.1.5 Ochrana vstupně - výstupních obvodů

Vstupně/výstupní obvody jsou nedílnou součástí jakéhokoliv elektronického zařízení. Pro dlouhodobou správnou funkci je nutné vstupně/výstupní obvody náležitě chránit před elektrostatickým dotykem (ESD). Vstupně/výstupní obvody představují významný vstupní i výstupní bod elektromagnetického rušení. Hlavním úkolem při návrhu těchto obvodů je omezení emise i imise elektromagnetického rušení a ochrana obvodů před ESD.

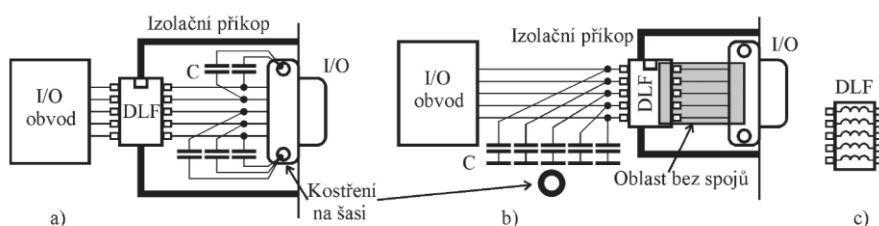
1.1.5.1 Filtrace vstupů/výstupů

Pro správnou funkci zařízení je nutné na vstupně/výstupní brány umístit filtr, který omezí elektromagnetické rušení šířené přes galvanickou vazbu.

První možností filtrace je použití LC článku, který je zapojen jako dolní propust. Hodnoty indukčností a kapacit je nutné spočítat ze známých vztahů pro každý případ zvlášť.

Obrázek 6 bod a) zobrazuje zapojení, kdy kondenzátory jsou připojeny bezprostředně u vstupně/výstupního konektoru a představují tak s tlumivkami (v obrázku blok DLF – Data Line Filter) velmi dobrý filtr. Kapacita kondenzátorů se pohybuje v hodnotách stovek pF až jednotek nF. Nevýhodou je ovšem fakt, že kondenzátory musí být dimenzované na vysoké napětí z důvodu možného elektrostatického výboje. Tato dimenzace napětí by měla být minimálně na 1500 V[5]. Při velmi špatných podmínkách okolního prostředí se ovšem toto napětí může i několikanásobně zvýšit.

Nevýhodu použít kondenzátory s dimenzací na vysoké napětí ostraňuje zapojení zobrazené v bodu b). Vnější rušení a ESD je v tomto případě filtrováno až LC filtrem, proto je nutné mezi konektorem a DLF zajistit co největší impedanci vůči ostatním spojům. Tato vysoká impedance se zajistí oblastí, ve které nebudou vedeny žádné spoje – použití metody izolačního příkopu.



Obrázek 6 : Vstupně/výstupní filtrace [5]

1.1.5.2 Galvanické oddělení

Galvanické oddělení elektrického obvodu je jednou z nejúčinnějších ochranných vstupů a výstupů. Galvanické oddělení lze představit jako oddělení pomocí transformátoru nebo opto-elektrického oddělení. Galvanické oddělení je vhodné zejména v případech, kdy je mezi zařízením a vzdáleným členem (např. čidlo) velká vzdálenost. Tato velká vzdálenost může

způsobit naindukování vysokého napětí a tím způsobit poškození vstupně/výstupních obvodů. Dále je galvanické oddělení přímo nutností např. u meteorologických zařízení umístěných na stožárech. Tyto zařízení jsou ohroženy zejména úderem blesku. V případě, že by vstupně/výstupní obvody byly ochráněny pouze pomocí filtrace, je téměř jisté, že zařízení zpracovávající údaje ze senzorů odejde do křemíkového nebe. Galvanická vazba je v těchto případech provedena pomocí dvou optočlenů a za použití optického vlákna. V případě úderu blesku dojde pouze k poškození čidla, avšak nedojde k poškození dalšího zařízení.

1.1.5.3 Ochrana před elektrostatickým dotykem

Elektrostatický výboj (ESD) je vysokoenergetický výboj trvající řádově stovky ps až stovky ns. Tento výboj se chová jako zdroj proudu o hodnotách až desítky ampér, avšak jeho lokální energie je velmi nízká. Je nutno si uvědomit, že tento výboj je velmi rychlý a je nutné tento náboj v co nejkratší době odvést do uzemnění. V případě, že není dostatečně rychle odveden, dojde k šíření vysokonapěťové vlny po DPS, která může celé zařízení zničit.

Globální ochrana DPS

Globální ochranou DPS je myšleno přímo zmenšení pravděpodobnosti vzniku elektrostatického náboje a jeho možnosti poškození elektronického zařízení. Pro moderní elektronické součástky, pracující s nepatrnými proudy a vysokými vstupními odpory (zejména obvody CMOS apod), je největším nebezpečím ESD vznikající na osobách. ESD vzniká zejména za podmínek:

- Povrchy z umělých hmot s vysokým izolačním odporem – podlahy, židle, stoly
- Nevhodné oblečení – syntetické tkaniny
- Nízká vlhkost vzduchu

V laboratoři je naprosto nevhodné použití podlah z umělých hmot (linoleum) či koberce s vysokým vlasem. Pro snížení rizika poškození zařízení elektrostatickým dotykem je nutné použití antistatických podlah, které jsou ovšem velmi drahé. Dále je v laboratořích nutností použití antistatického náramku.

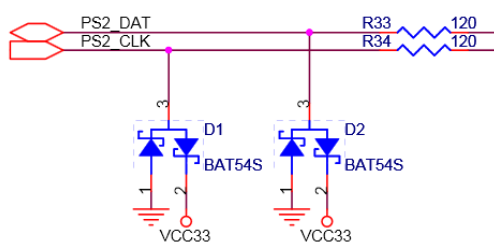
Při práci s DPS je nutné brát v potaz i vhodné oblečení. Přírodní materiály jako bavlna či vlna snižují napětí elektrostatického výboje.

ESD se projevuje nejčastěji v zimních měsících, kdy vlivem malého větrání dochází ke klesání vlhkosti v místnosti, což zásadně přispívá k nárůstu napětí elektrostatického náboje až na 15 kV. Klesání vlhkosti v místnosti lze snadno zabránit použitím klimatizace s řízenou vlhkostí, zvlhčovačů vzduchu apod.

Lokální ochrana DPS

Lokální ochranou DPS je myšlena přímá ochrana elektronického zařízení, pokud již dojde k elektrostatickému výboji. Ochranu před dotykem zajišťuje ochranný vodivý pás okolo celého plošného spoje z obou stran, který je spojen s uzemněním. Tato ochrana je založena na principu, že manipulující osoba se bude dotýkat okrajů desky. Tento ochranný pás dále snižuje vyzařování energie z DPS do strany.

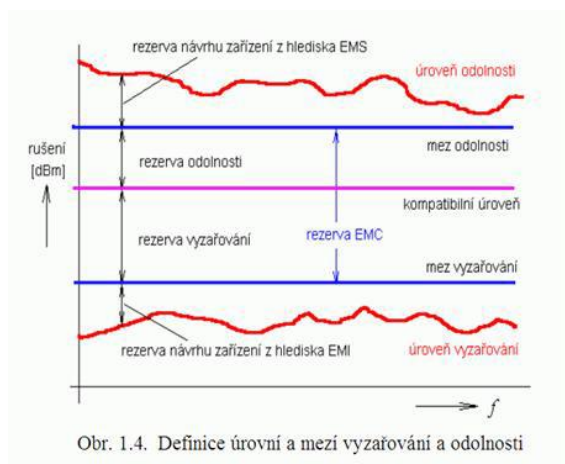
Při návrhu je nutné ovšem dbát také na to, že zařízení bude mít určité konektory. Tyto konektory jsou nejzranitelnější částí celého zařízení a je nutné je chránit před vlivem ESD. Jako primární ochrana je použito antiparalelního zapojení Schottkyho diod.



Obrázek 7 : Ochrana vstupů přes ESD pomocí schottkyho diod [9]

1.2 Návrh DPS s ohledem na EMC

Elektromagnetická kompatibilita je vlastnost zařízení pracovat v prostředí, které je rušeno ostatními zařízeními a zároveň pracovat tak, aby zařízení neovlivňovalo ostatní přístroje. Schopnost pracovat v prostředí, které je zarušené ostatními přístroji se nazývá elektromagnetická susceptibilita čili odolnost (EMS). Schopnost zařízení pracovat tak, aby nerušilo ostatní přístroje, se nazývá elektromagnetická interference (EMI). Souhrnem by se dalo říct: „Nerušit a nebýt rušen“. Při návrhu zařízení jsou jasně daná pravidla, které určují meze vyzařování a meze odolnosti, které zařízení musí splnit, než bude uvedeno na trh.



Obrázek 8 : Definice meze vyzařování a odolnosti [8]

Rušení

Za rušení lze považovat jakýkoliv nežádoucí signál, který ovlivňuje funkčnost zařízení. Zdrojem tohoto rušení jsou jakékoliv elektronické obvody, kterými protéká elektrický proud. Jedinou možností úplné eliminace rušení je pouze nepoužívání elektronického zařízení. Zařízení se tedy musí navrhovat tak, aby bylo odolné proti rušení z prostředí a zároveň vydávalo co nejmenší rušivou energii do prostředí.

1.2.1 Návrh DPS s ohledem na EMC

Pro co nejlepší funkci zařízení z hlediska EMC je nutné dbát určitých pravidel. Tato pravidla pro návrh zařízení, které bude odolné a zároveň nebude vyzařovat nelze oddělit. Zpravidla platí, že zařízení, které vyzařuje co nejmenší energii, má velkou odolnost proti rušení.

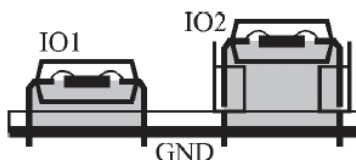
1.2.1.1 Omezení rušení:

- Stínění – kvalitní stínění omezí vyzařování a zvýší odolnost zařízení
- Filtrace vstupů/výstupů, ochrana před ESD – kvalitní filtrací lze zajistit, že nebude docházet k vzájemnému rušení zařízení pomocí galvanické vazby. Elektrostatický výboj lze také brát za jeden z druhů rušení
- Minimalizace hodnot proudů – volbou vhodných obvodů s vyššími vstupními impedancemi (CMOS apod.) lze dosáhnout menšího vyzařování
- Minimalizace proudových smyček – vhodné rozmístění součástek s použitím co nejmenších vzdáleností, použití součástek s povrchovou montáží
- Minimalizace kmitočtového spektra – nepoužívání zbytečně rychlých obvodů, sběrnic apod.
- Napájení obvodů – správné zapojení blokovacích kondenzátorů
- Správné uzemnění obvodů

Minimalizace proudových smyček

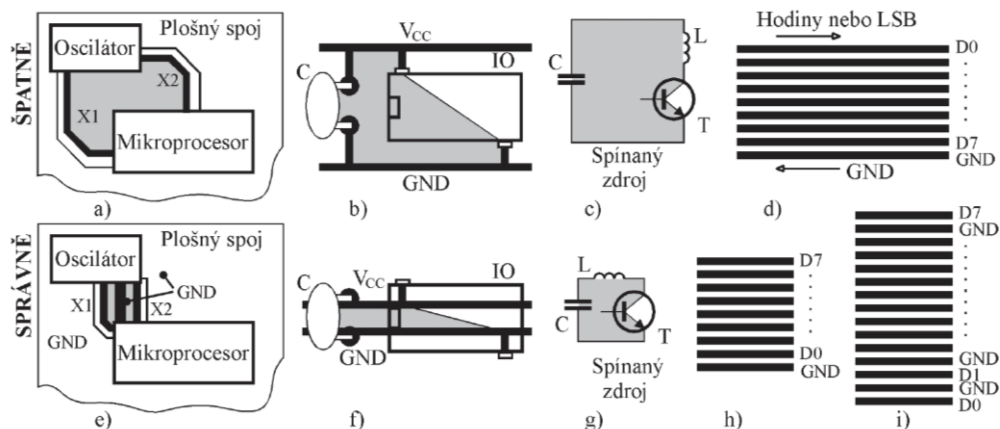
Při návrhu je nutné brát největší zřetel na minimalizaci proudové smyčky. Nejdůležitější je minimalizace přímo v návrhu spojů, kde mohou vznikat velké proudové smyčky.

Nedílnou součástí návrhu musí být brán v potaz fakt, jaké součástky budou použity. Součástky s povrchovou montáží mají mnohem menší vyzařování než součástky s montáží skrz desku. Nejhorším možným případem je použití technologie montáže skrz DPS s použitím patice pro integrované obvody. Při použití patice dojde k velkému zvětšení plochy proudové smyčky. Tento případ je zobrazen na Obrázek 9.



Obrázek 9 : Vliv patice u THT součástek na velikost proudové smyčky [5]

Nejčastější návrhářské chyby a jejich správné varianty jsou zobrazeny na Obrázek 10. Ve všech případech jsou vytvořeny na desce plošných spojů proudové smyčky, které budou vytvářet velké elektromagnetické rušení. U bodu d) je vytvořena proudová smyčka u nejrychleji měnícího se vodiče. Jako ideálním řešením se jeví použití stínících zemních vodičů z obou stran datových vodičů, avšak tento návrh potřebuje stejný počet zemních vodičů jako je datových, což výrazně zlepšuje elektromagnetické vlastnosti, avšak výrazně zvyšuje plošnou velikost finálního produktu a tím i cenu. Kompromisem je tedy stínění z obou stran kolem nejčastěji se měnícího vodiče.

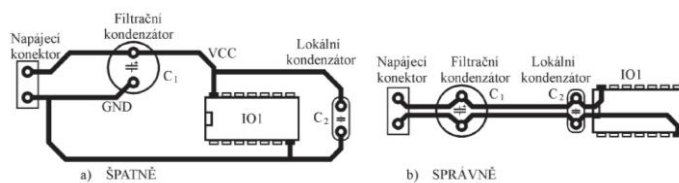


Obrázek 10 : Typické chyby při návrhu DPS[5]

Blokování napájení

Blokování napájecího napětí je velmi důležité pro stabilitu celého elektronického obvodu. Při spínání číslicových obvodů dochází ve velmi krátké době řádu nanosekund k impulsní spotřebě, což není většina napájecích zdrojů typu 7805 schopna zaregistrovat. Reakční doba těchto obvodů je v řádu mikrosekund. Jedinou možností jak tyto velmi rychlé impulsní spotřeby pokrýt je použití blokovacích kondenzátorů. Při blokování napájecího napětí je nutné umístit blokovací kondenzátor o hodnotě typicky stovky nF až jednotky μF co nejbližší k integrovanému obvodu. Pokud je blokovací kondenzátor umístěn příliš daleko od napájeného obvodu, dochází vlivem indukčností přívodních vodičů k nežádoucím úbytkům napětí a tím pádem i k nadměrnému vyzařování elektromagnetické energie. Z hlediska funkce existují celkem tři skupiny blokovacích kondenzátorů.

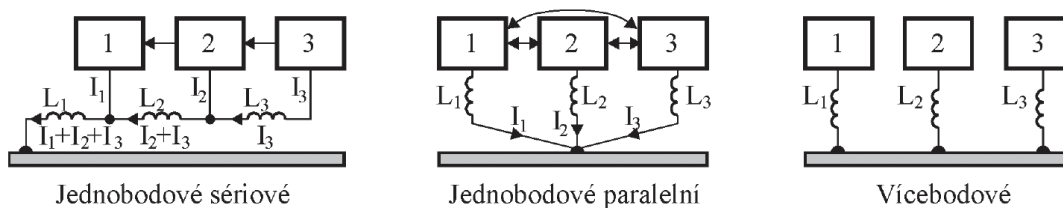
- 1) Skupinový – slouží jako zdroj energie pro skupinu obvodů
- 2) Lokální – slouží pro blokování impulsní spotřeby pouze u jednoho obvodu
- 3) Filtrační – slouží jako širokopásmový filtr eliminující šumění napájecího zdroje



Obrázek 11 : Správné umístění blokovacích kondenzátorů

Uzemnění

Správné uzemnění má velký vliv na elektromagnetické vyzařování. Existuje několik typů uzemnění. Typy uzemnění jsou zobrazeny na Obrázek 12.



Obrázek 12 : Typy uzemnění[54]

Jednobodové zemnění

Jednobodové spojení se používá u pomalých obvodů se součástkami jejichž kmitočtové spektrum nepřesahuje 1 MHz a tudíž se neprojevuje parazitní indukčnost spojů. Vhodné je tedy pro aplikace pracující s kmitočtem napájecí sítě jsou napájecí zdroje, stejnosměrné aplikace apod.

Vícebodové zemnění

Vícebodové zemnění je vhodné zejména pro vysokofrekvenční aplikace a tedy i číslicové obvody. Princip spočívá v rozlité měděné vrstvě připojené na zem. Díky této rozlité vrstvě je možné součástku připojit velmi krátkou propojkou na uzemnění, čímž se zmenší plocha proudové smyčky.

Vícebodové uzemnění bývá někdy zapojeno podle pravidla $\lambda/20$, což označuje, že zařízení by mělo být připojeno ke kovové skříni ve vzdálenostech násobku $\lambda/20$, čehož se často využívá u základních desek počítačů.

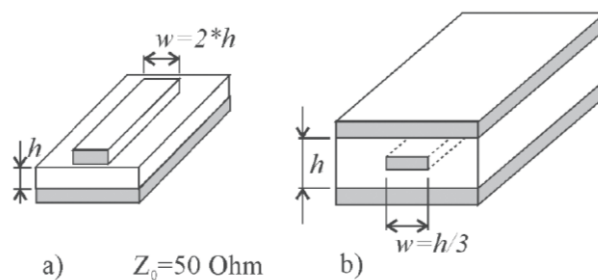
1.3 Návrh DPS s ohledem na vysoké kmitočty

V dnešní době se vyskytují velmi rychlé logické obvody, pracující s kmitočty, jejichž vlnová délka je srovnatelná s délkou spoje. U takovýchto zařízení je nutné dodržovat veškerá pravidla související s návrhem. Návrh vysokofrekvenčních obvodů je velmi komplikovaná věda a správný návrh závisí na spoustě parametrů. Nelze již při návrhu natáhnout spoj v místech, kde by se vývojáři zachtělo. Vývojář musí pro výsledný návrh používat specializovaný software, který spočítá výsledné parametry vedení s rozloženými parametry. V případě, že by vývojář natáhl spoj v místě, kde by se mu zachtělo, může dojít k ovlivnění jiného spoje a tím změny vzájemné kapacity nebo indukčnosti. Změna indukčnosti nebo kapacity způsobí změnu rychlosti šíření vlny, což má vliv na impedanční přizpůsobení. Tato práce se nezabývá přímo návrhem DPS pro vysoké kmitočty a popis celého návrhu by vystačil na několik knih, proto je zde tento návrh zmíněn jen stručně. Zájemci o problematiku návrhu obvodů pro vysoké kmitočty mohou získat informace z [10].

1.3.1 Impedance

Impedance jednotlivých vodičů

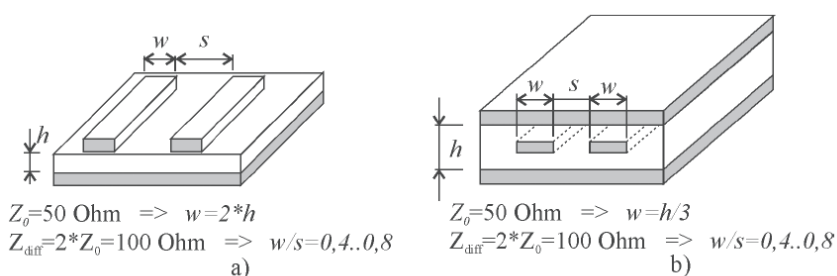
Geometrie vodičů a rozlité země je nutné navrhnout tak, aby vlastní impedance měla konstantní hodnotu – zpravidla 50 Ω .



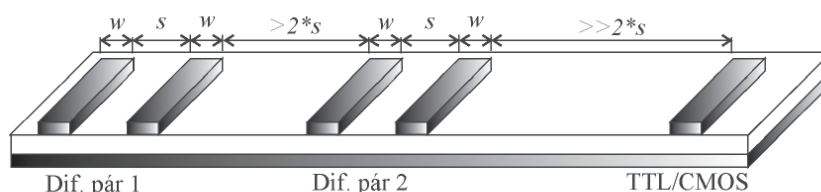
Obrázek 13 : Geometrický návrh spoje s vlastní impedancí [5]

Impedance diferenčních párů

Geometrie diferenčních párů je nutné navrhnout tak, aby vlastní impedance měla konstantní hodnotu – zpravidla 100 Ω.



Obr. 6.30 Orientační návrh geometrie spojů se vzájemnou impedancí $Z_{diff} = 100 \Omega$



Obr. 6.31 Vzájemná geometrie diferenčních párů a standardních číslicových spojů

Obrázek 14 : Návrh geometrie diferenčních párů pro konstantní vlastní impedanci [5]

1.3.2 Skin efekt

Skin efekt je fyzikální děj, při kterém dochází k vytlačování elektrického náboje k povrchu vodiče. Tento jev se projevuje pouze u střídavého proudu. Elektrický proud procházející vodičem uzavírá kolem vodiče siločáry magnetického toku. Část tohoto magnetického toku vytváří ve vodiči vířivé proudy, které ve středu působí proti toku původního proudu, čímž dochází k odečítání výsledné hodnoty. U krajů vodiče dochází k součtu proudu původního a vířivého, takže dochází k efektu, kdy větší proud teče na povrchu vodiče.

Tento jev se projevuje zejména u vysokofrekvenčních rozvodů – například radary, vysílače televizního signálu apod. Pro minimalizaci skin efektu se používají vlnovody.

Při skin efektu se definuje tzv. hloubka vnikání δ , která označuje vzdálenost od povrchu vodiče, kde dojde k poklesu proudové hustoty na hodnotu $1/e$ (přibližně 37 %).

$$\delta = \sqrt{\frac{\rho}{\pi \cdot \mu_0 \cdot \mu_r \cdot f}} = K \cdot \sqrt{\frac{1}{f}} \quad [m]$$

Rovnice 1 : Skin efekt - hloubka vniku [5]

μ_0 je permeabilita vakua, μ_r je relativní permeabilita daného materiálu, ρ je měrný elektrický odpor, f je frekvence.

1.3.3 Rychlost šíření signálu

Rychlost šíření signálu v homogenním prostředí se dá vypočítat dle následujícího vztahu:

$$v = \frac{c}{\sqrt{\epsilon_r \mu_r}}$$

Rovnice 2 : Výpočet rychlosti šíření vlny dle prostředí [5]

Kde: v je výsledná rychlost šíření signálu v [m/s], c je rychlost světla ve vakuu, ϵ_r je permitivita daného materiálu, μ_r je permeabilita daného materiálu.

Rychlost šíření signálu v DPS je závislá na aktuálních podmínkách indukčnosti a impedance spojů dle rozložení jednotlivých spojů, rozlité mědi apod.

$$v = \frac{1}{\sqrt{\frac{L}{l} \cdot \frac{C}{l}}}$$

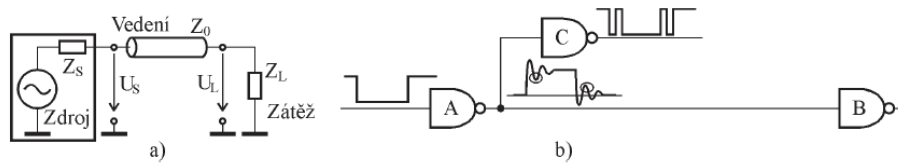
Rovnice 3 : Výpočet rychlosti šíření vlny v DPS [5]

1.3.4 Odrazy na vedení

Každý elektrický vodič má svou impedanci a signál se jím šíří konečnou rychlostí. Pokud dochází k přenosu signálu s vlnovou délkou podstatně větší, než je délka spoje, je zpoždění při průchodu signálu spojem i impedance spoje zanedbatelná a není nutné se tím zabývat. Tento způsob byl využit i v této diplomové práci.

V případě, že lze vlnovou délku přenášeného signálu srovnávat s délkou spoje, či je vlnová délka menší než délka spoje, je nutné na spoj nahlížet jako na vedení s rozprostřenými parametry a je nutné uvažovat nad impedancí spoje i rychlostí šíření. Obvody s rozprostřenými parametry již mají zanedbatelné parametry a proto je nutné

spoje správně impedančně přizpůsobit, aby nedocházelo k odrazům signálu na konci vedení. Impedanci plošného spoje lze nastavit vhodným návrhem v hodnotách 50 až 200 Ω , z čehož vyplývá, že je nutné provést impedanční přizpůsobení jak na straně vysílače, tak i na straně přijímače.



Obrázek 15 : Odrazy na nepřizpůsobeném vedení [5]

2 Výroba DPS

2.1 Popis používaných materiálů

2.1.1 Podkladové materiály pro plošné spoje

Jako standartní podkladové materiály pro DPS se využívají následující typy materiálů. Nejběžnější druh je materiál s označením FR4. Existuje další spousta speciálních materiálů pro výrobu DPS. Tyto materiály jsou většinou pouze pro speciální účely jako desky plošných spojů pro vysoké frekvence či desky s velmi vysokým izolačním odporem – pro vysoké napětí. Následující výčet představuje základní podkladové materiály, se kterými se může vývojář prakticky setkat.

- FR1 – Papír napuštěný fenolovou pryskyřicí – velice levný druh, nekvalitní
- FR2 – Papír napuštěný fenolovou pryskyřicí - standartní provedení
- FR3 – Papír napuštěný epoxidovou pryskyřicí
- FR4 – Sklolaminátová tkanina napuštěná epoxidovou pryskyřicí – nejpoužívanější druh
- FR5 – Sklolaminátová tkanina napuštěná epoxidovou pryskyřicí – tepelně odolný druh

2.1.2 Měděná fólie

Pro základní materiál FR4 jsou definovány základní tloušťky materiálů. Nejběžnější tloušťka měděné fólie je 35 μm .

- 18 μm
- 35 μm
- 70 μm
- 105 μm

2.1 Technologické možnosti výroby

Technologické možnosti výroby se u jednotlivých výrobců liší. Pro výrobu vývojového kitu byla vybrána firma Pragoboard, se kterou má autor dobré zkušenosti a výroba je rychlá a relativně i levná, přičemž mají výborné technologické možnosti, které budou zmíněny v této kapitole.

2.1.1 Technologická výroba

Technologická výroba DPS u firmy Pragoboard se dělí na dvě hlavní sekce:

- POOL servis
- Standartní výroba

2.1.1.1 POOL servis

Služba POOL servis je levnou alternativou standartní výroby. Kvůli co nejmenší výrobní ceně je ovšem nutné dodržovat určité požadavky, jejichž nedodržení vede k případnému navýšení ceny či nevyrobitelnosti DPS. Návrhář musí striktně dodržovat následující pravidla, aby DPS byla vyrobitelná technologií POOL servis:

- Počet vodivých vrstev: 1 až 6
- Spoj/mezera $\geq 150 \mu\text{m}$
- Průměr vrtáku $\geq 300 \mu\text{m}$
- DPS nesmí obsahovat pohřbené nebo slepé prokovy
- Nepájivá maska 1-2x (Zelená)
- Servisní potisk 1-2x (bílý), druhý za příplatek
- Povrchová úprava: Chemické zlato nebo bezolovnatý HAL

Za největší omezení této výroby je možno považovat fakt, že DPS nesmí obsahovat pohřbené nebo slepé prokovy. Pokud vývojář navrhuje DPS s BGA pouzdrem, je toto omezení dosti zásadní pro zdárný návrh. Problémy by při návrhu DPS s BGA pouzdrem mohly být i maximálním počtu šesti vrstev. Při návrhu vývojového kitu se tento problém neprojevil.

Průměr vrtáku je na velikost 0,3mm omezen záměrně a to z důvodu technologických možností prokovení, kde při průměru vrtání 0,3mm lze dosáhnout maximální hloubky prokovení 1,8mm. Teoreticky by se za příplatek dalo použít průměru vrtáku 0,25 mm, avšak tento požadavek je již na vyžádání a platí se příplatek +15%. Více je problematika prokovených otvorů rozepsána v kapitole 2.2.3.

Pragoboard umožňuje za příplatek použití vyšší konstrukční třídy DPS než jsou výše uvedené parametry spoj/mezera $\geq 150 \mu\text{m}$. Za příplatek 15% lze zvýšit vzdálenosti na spoj/mezera $\geq 125 \mu\text{m}$, za příplatek +30% lze zvýšit vzdálenost až na $\geq 100 \mu\text{m}$.

U vývojového kitu byla zvolena možnost povrchové úpravy chemické zlato. Tato možnost byla zvolena zejména díky svým vlastnostem, kde chemicky pozlacené plošky mají velmi dobrou rovnost, na rozdíl cínování, kde mohou zůstat na ploškách velké nerovnosti. Pro standardní ruční osazení je levnější použití technologie HAL, avšak pro osazení pouzder BGA je chemické zlácení nutnosti. Tento požadavek byl i specifikován ve firmě HC Electronics, kde byla DPS osazena BGA pouzdem.

Příklad zadávání DPS do výroby s technologií POOL servis:

Předmět: Objednávka výroby 6 vrstvé desky o rozměrech 200x125mm - POOL servis

Dobrý den,

objednávám u Vás výrobu šesti vrstvé desky pomocí POOL servisu. Deska obsahuje nejmenší vrtání 0,3mm, min. izolační mezery 0,1mm.

Podrobnosti o DPS:

Technologie: POOL servis

Počet vrstev : 6

Počet kusů : 1 kus

2x nepájivá maska

2x servisní potisk

Izolační mezery/spoje: 0.1/0.1 mm

Nejmenší vrtání / průměr vrtáku: 0.3 mm

Povrchová úprava : chemické zlato

Panelizace: NE

Termín: standardní výroba 7 prac. dní.

Rozměry : 200x125 mm

Offset v datech (X,Y): 1mm/1mm

POZOR! V objednávce musí být jasně uvedeno, že je požadována výroba technologií POOL servis. V případě, že není v objednávce uvedena technologie POOL servis, Pragoboard automaticky bere klasickou objednávku a dojde k výrobě filmových matric, tudíž k velkému navýšení výrobních nákladů.

2.1.1.2 Standardní výroba DPS

Pro standardní výrobu DPS platí trochu odlišné výrobní podmínky. Při započetí prvovýroby dojde k vytvoření filmových matric, které lze pro další výrobu neomezeně použít a firma Pragoboard je archivuje ve svém skladu, tudíž jsou vždy připravené k výrobě a bez poškození. Zadavatel si může zvolit celou škálu konfigurací výsledné DPS. Na Obrázek 16 jsou zobrazeny výrobní možnosti firmy Pragoboard.

Specifikace	standardně	schopní na dotaz
výrobky	1-12ti vrstvé DPS, pružné plošné spoje, FLEX-RIGID, laserem řezané šablony	
vstupní datové formáty	Gerber, Excellon, Sieb&Mayer	DXF, HPGL
základní materiál	FR4, Rogers RO4350B, IS400, IS410, P96, Polyimid, AL core	Teflon, IS620.....
počet vodičových vrstev RIGID	1.12	12 a více
počet vodičových vrstev FLEX	4	6 a více
tloušťka základního materiálu RIGID	viz. tabulka základního materiálu	jiné tloušťky na dotaz
tloušťka základního materiálu FLEX	25, 50, 75, 100 a 125µm	
tloušťka Cu fólie	18µm, 35µm, 70µm a 105µm	9µm, 150µm a 210µm
minimální velikost výrobního přifezu	150x200mm	
maximální velikost DPS	400x520mm	500x600mm
minimální tloušťka DPS	2-vrstvý - 0,1mm	2-vrstvý - 0,07mm
	4-vrstvý - 0,3mm	
	6-vrstvý - 0,5mm	
	8-vrstvý - 0,7mm	
maximální tloušťka DPS	3,2mm	5mm
min. tloušťka čáry / izolační mezera	0,12 / 0,12mm	0,1 / 0,1mm
nejmenší vrtaný otvor	0,2mm	0,1mm
max. vrtaný otvor	6,4mm	nad 6,4mm frézované
slepé a pohřbené otvory	ano, slepé otvory 1:1	
prokovené drážky	1,0mm a větší	0,6 - 1,0mm
nejmenší fréza	1,0mm	0,6 - 1,0mm
tolerance frézování	0,1mm	0,1mm
drážkování	materiál 0,5 - 3,2mm, JUMP V-scoring	
tolerance drážkování	+/-0,1mm vůči vrtání	
nepájivá maska fotocitlivá	zelená	modrá, červená, žlutá, bílá, černá vysokoteplotní
nepájivá maska pro pružné DPS	fotocitlivá zelená nebo jantarová, PI fólie (COVERLAY)	jiná barva podle katalogu výrobce
snímatelná maska	ano, modrá	
servisní potisk	bílý	černý, modrý, zelený, žlutý
minimální tloušťka potiskové čáry	0,12mm	0,1mm
karbonová pasta	ano	
povrchové úpravy	H.A.S.L. (bezolovnatý i olovnatý) : 6 - 8µm imersní Au : 4µm Ni / 0,09µm Au imersní Sn : 1 - 1,2µm galvanické Au (do rozměru 100x300mm) : 5µm Ni / 1µm Au	OSP a jiné
tvrdokovové galvanické zlato	ano	
laserem řezané šablony	80µm - 250µm	jiné materiály
max. velikost laserem řezané šablony	600x600mm	600x600mm
dodací lhůty	standard : 10 pracovních dní expres : 1 - 9 pracovních dní	8 hodin
testování	optické AOI i elektrické testování (100% NET list)	
minimální objednané množství DPS	od 1 kusu	
maximální objednané množství DPS	na dotaz	
doprava	Česká pošta, UPS, DHL, TNT	

Obrázek 16 : Ukázka výrobních možností firmy Pragoboard pro standardní výrobu [7]

2.1.2 Vygenerování filmových podkladů z programu PADS

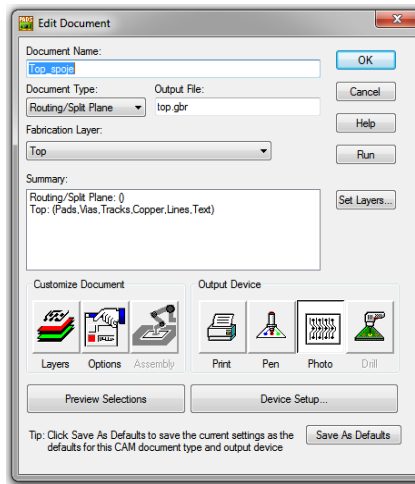
Pragoboard pro POOL servis vyžaduje přesné pojmenování souborů pro výrobu. V Tabulka 1 jsou uvedeny doporučené názvy souborů pro výrobu.

vrstva TOP	top.gbr
vrstva BOT	bot.gbr
vrstva maska TOP	smt.gbr
vrstva maska BOT	smb.gbr
vrstva potisk TOP	plt.gbr
vrstva potisk BOT	plb.gbr
vnitřní vrstva 2	in2.gbr
vnitřní vrstva 3	in3.gbr
vnitřní vrstva 4 (platí u 6-ti vrstvých)	in4.gbr
vnitřní vrstva 5 (platí u 6-ti vrstvých)	in5.gbr
vrstva OBRYS	mill.gbr
vrstva prokovené frézování	mill_pth.gbr
vrstva prokovené vrtání	pth.exc
vrstva neprokovené vrtání	npth.exc

Tabulka 1 : Doporučené názvy souborů pro výrobu [7]

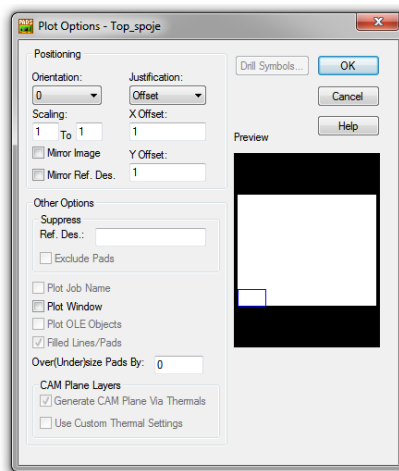
Pro výrobu je nutné výrobní podklady pro gerber data vygenerovat do formátu RS274-X a pro vrtačku do formátu Excellon. V této kapitole je ukázáno, jak správně nastavit program PADS, aby došlo ke správnému vygenerování výrobních podkladů. Po vygenerování je dále nutné data zkontrolovat v programu CAM350.

Předpoklad pro úspěšný export a výrobu dat je ten, že DPS byla zkontrolována na nastavení výrobních možností „Clearence“ a na propojení všech spojů „Connectivity“. Po úspěšné kontrole lze tedy přejít k vygenerování CAM podkladů. Vygenerování se provádí přes program Pads Layout, záložka File, položka CAM. Po potvrzení volby CAM dojde k otevření nového okna. V okně zvolíme možnost přidat (add). Po přidání nového dokumentu je nutné dokument správně nastavit. Jeho ukázkové nastavení pro vrstvu TOP je zobrazeno na Obrázek 17.



Obrázek 17 : Nastavení vrstvy TOP při generování podkladů

Jako první je nutné zadat jméno dokumentu. Toto jméno je pouze pro uživatelskou identifikaci a dále se již nikde neuvádí. Dále se vybere typ dokumentu. V tomto dokumentu lze vybrat možnost „Routing/split plane“. Po výběru se zobrazí dialog, ve kterém uživatel vybere vrstvu, která se bude generovat. Nejdůležitějším názvem je nyní kolonka „Output File“. Defaultní název je „art*.pho“. Tento název se změní názvem dané vrstvy uvedené v Tabulka 1.

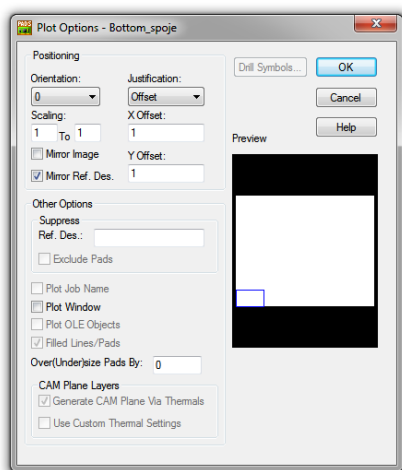


Obrázek 18 : Nastavení vlastností vrstvy TOP při generování podkladů

Dále je nutné zkontrolovat nastavení „Options“. Správné nastavení pro vrstvu TOP je uvedeno na Obrázek 18. Pragoboard požaduje, aby vrstvy byly nezrcadlené, sesazené a aby měly nulový offset. Při generování dat pro výrobu byl ovšem občas problém s nulovým offsetem, proto byl offset nastaven na 1 mm, který nedělal problémy. Výsledný offset je ovšem nutné oznámit Pragoboardu. V menu Options je nutné shodné nastavení offsetu u všech vrstev a také musí být shodné nastavení správného měřítka. Zde je nutné dávat pozor na nastavení zrcadlení celé desky a zrcadlení popisků.

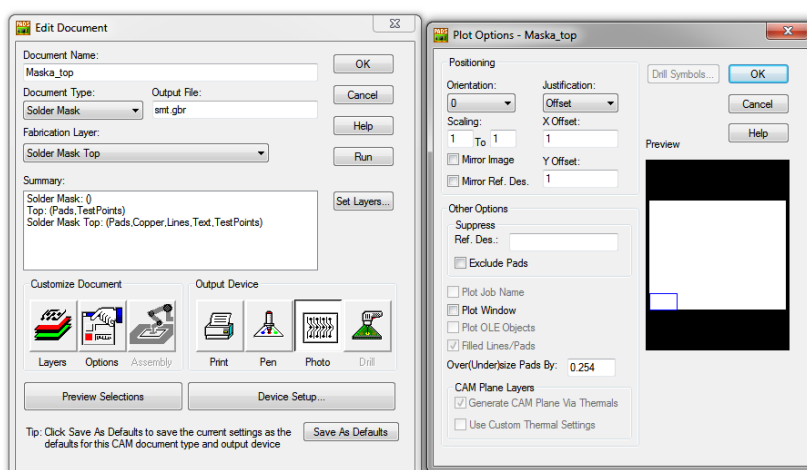
Nastavení všech případných vnitřních vrstev je shodné s nastavením vrstvy TOP. Nastavení vrstvy BOTTOM se liší od nastavení vrstvy TOP pouze v jedné položce. Touto

položkou je zaškrtnutí možnosti zrcadlení popisků (textu). Jedná se pouze o případ, když uživatel požaduje, aby přímo na DPS bylo vyleptáno označení vrstvy, jméno a příjmení vývojáře apod. Pokud na DPS jsou již texty zrcadleny, je nutné je znovu zrcadlit při generování dat. Pragoboard při výrobě bude vrstvu BOTTOM opět zrcadlit. Pokud by nebyla nastavena možnost zrcadlení textů, tak by ve výsledku byl vyleptaný text na vrstvě BOTTOM zrcadlený. V případě, že by bylo nutné vrstvu BOTTOM zrcadlit již při generování dat, stačí zaškrtnout možnost „Mirror Image“. Nastavení je zobrazeno na Obrázek 19.



Obrázek 19 : Nastavení vlastností vrstvy BOTTOM při generování podkladů

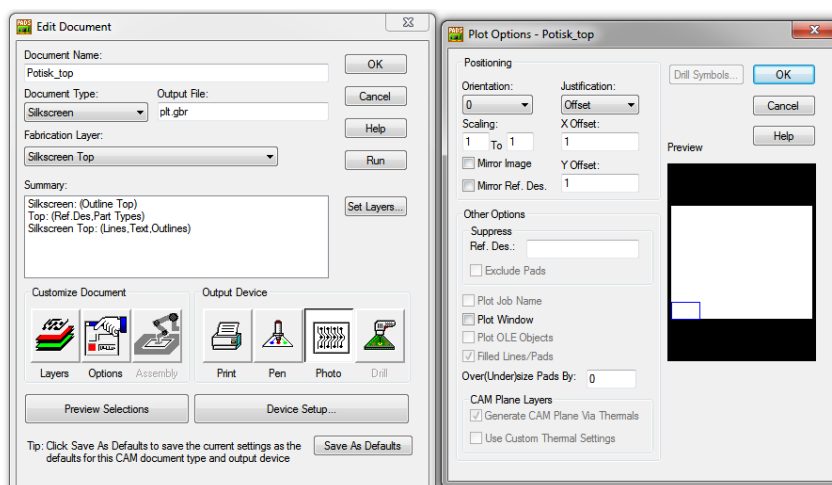
Pro výrobu je dále nutné vygenerovat nepájivou masku. Nastavení nepájivé masky je shodné jak pro vrstvu TOP, tak i pro vrstvu BOTTOM. Nastavení je zobrazeno na Obrázek 20.



Obrázek 20 : Správné nastavení vrstvy Solder Mask

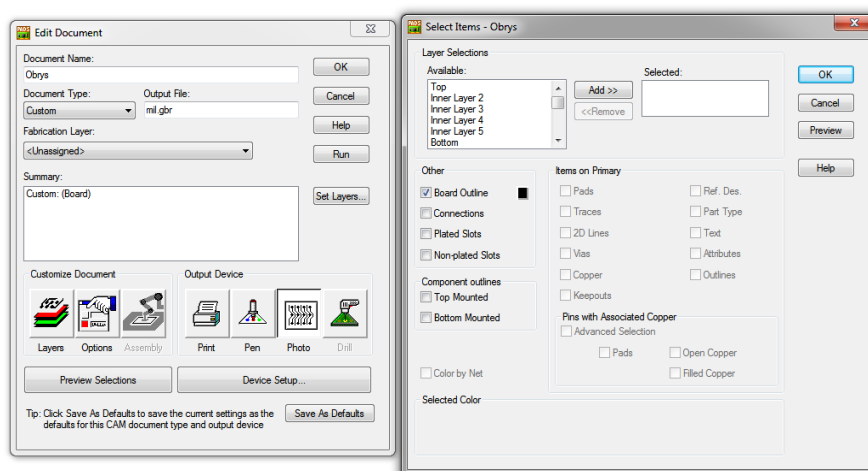
Pro výrobu je nutné také nastavení potisků součástek. Předpokládá se, že potisky součástek na vrstvě BOTTOM jsou již během návrhu otočené, proto se zde již otáčení

popisků neprovádí. Nastavení popisků (vrstva Silkscreen) je pro vrstvy TOP i BOTTOM shodné a je zobrazeno na Obrázek 21.



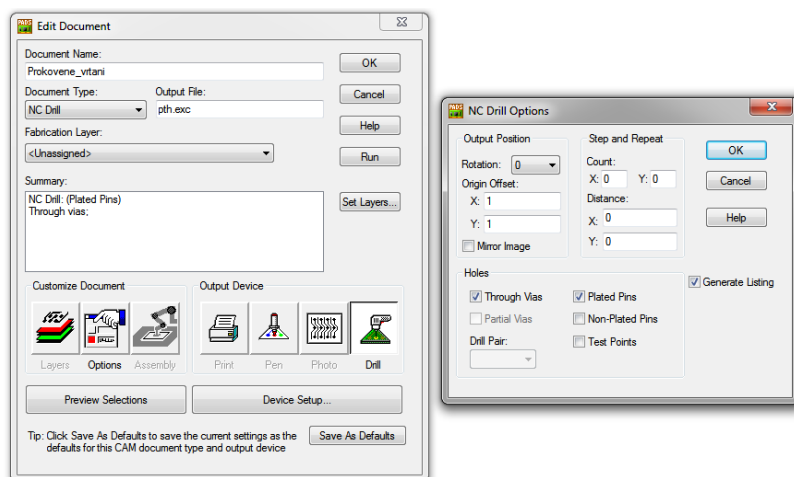
Obrázek 21 : Nastavení vrstvy potisku

Dále je pro výrobu nutné vygenerovat obrys desky. U vrstvy obrys je také nutné nastavit shodný offset jako u všech generovaných vrstev. Nastavení vrstvy obrys je zobrazeno na Obrázek 22.



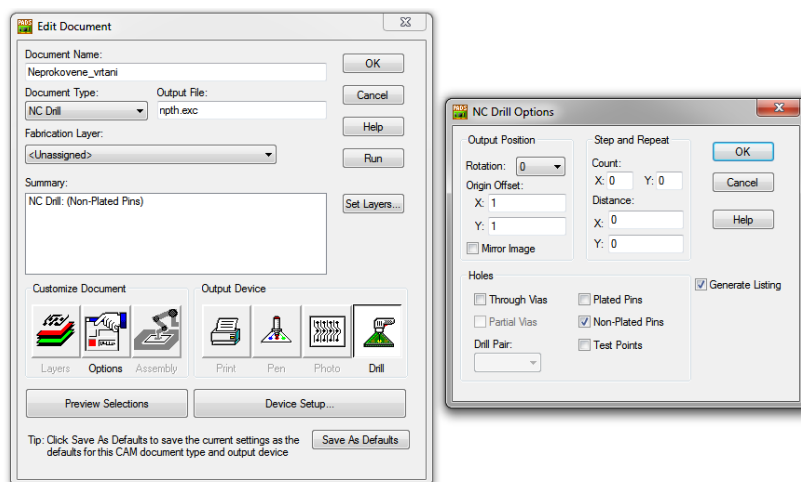
Obrázek 22 : Nastavení vrstvy obrys

Pro export je dále nezbytné nastavit vrstvu prokovené vrtání. Pokud je vytvářena pouze jednostranná DPS, je tato vrstva zbytečná. Opět je nutné dávat pozor na správné nastavení offsetu. Nastavení je zobrazeno na Obrázek 23.



Obrázek 23 : Nastavení pro vrstvu prokovené vrtání

Jako poslední vrstva potřebná pro export je vrstva neprokovené vrtání. Nastavení pro vrstvu neprokovené vrtání je zobrazeno na Obrázek 24.



Obrázek 24 : Nastavení pro vrstvu neprokovené vrtání

Po vytvoření všech vrstev lze přistoupit k vygenerování podkladů. Označí se všechny požadované vrstvy pro vytvoření a klikne se na tlačítko run. Program se posléze zeptá, zda uživatel chce dané vrstvy vytvořit. Pokud je vše v pořádku, došlo ke zdárnému vygenerování CAM podkladů. Po vygenerování je důrazně doporučeno vygenerované podklady načíst do programu CAM350. Pro kontrolu postačí jednoduchý import. V záložce File, položka Import se vybere možnost Autoimport, zvolí se složka s vygenerovanými soubory a stačí kliknout na tlačítko Finish. Po autoimportu dojde k zobrazení použitých clonek a vrtáků. Pokud jsou vytvořené podklady v pořádku a bude vše na svém místě, lze vygenerované podklady zaslat výrobcí. Doporučuji zkontrolovat jednotlivé vrstvy, zda obsahují, co mají a hlavně zda sedí vrtání do plošek. Kontrolou v programu CAM350 dojde k výraznému snížení pravděpodobnosti chybného exportu

podkladů. Ukázka správně sesazených výrobních podkladů v programu CAM350 je zobrazena na Obrázek 25.



Obrázek 25 : Výsledek autoimportu do programu CAM350

2.2 Výroba DPS

V současné době se používají tři technologie výroby plošných spojů: subtraktivní, aditivní a semiaditivní.

2.2.1.1 Subtraktivní technologie

Subtraktivní technologie je založena na odstraňování přebytečné mědi pomocí leptání. Tato technologie je zejména využívána v amatérské výrobě DPS. Postup výroby DPS :

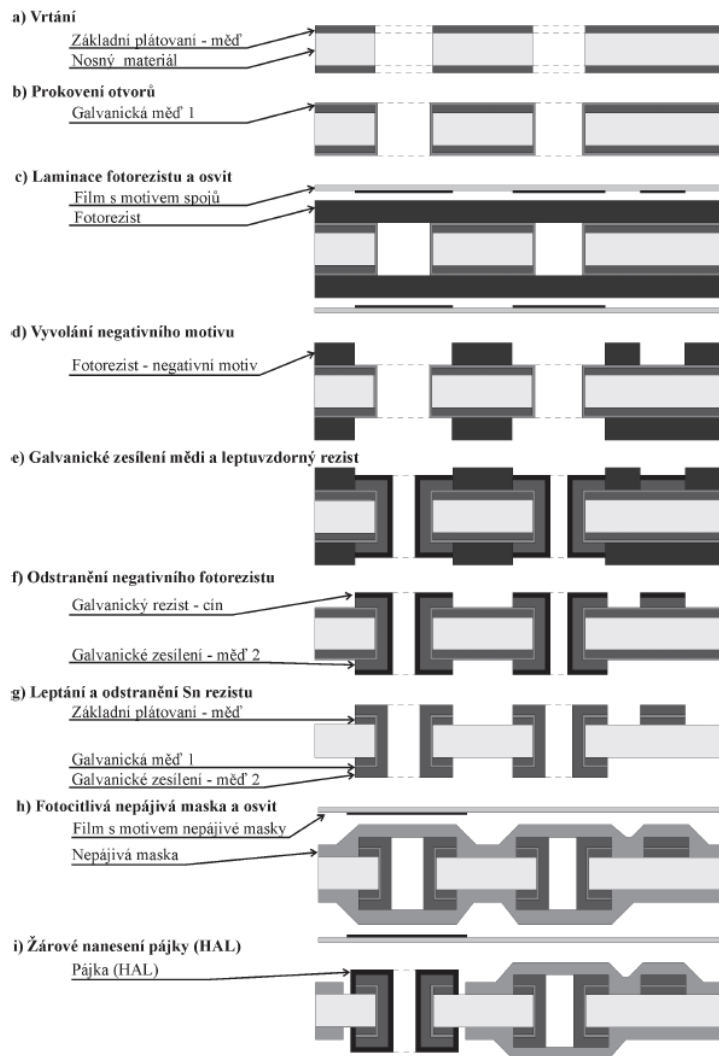
- 1) Očištění a vyleštění měděné fólie (přípravek SITOL aj.)
- 2) Natažení fotorezistu
- 3) Vytvrzení fotorezistu
- 4) Osvit pomocí UV světla
- 5) Vyvolání fotorezistu – využívá se hydroxid sodný o koncentraci 1,5 %.
- 6) Vyleptání motivu – využívá se Chlorid železitý nebo směs peroxidu vodíku (30 % koncentrace) + kyselina chlorovodíková + voda, v poměru 1:1:1. Pozor! Leptací směsi jsou silné žíraviny.
- 7) Ošetření vyleptané DPS kalafunou nebo pájitelným lakem

V obchodě se dají koupit již předpřipravené kuprexitové desky s naneseným fotorezistem. Při osvětlení je nutné použití rovnoměrného osvětlení a zejména kvalitní toner. Inkoustová barva je nevhodná, protože většinou je na UV světle nestálá a dochází k jejímu vyblednutí či změně barvy (zejména z černé na fialo-hnědou). V případě nekvalitního toneru či špatné kryvosti, dojde k prosvícení předlohy a osvětlení fotorezistu. Pro leptání je vhodné použít chlorid železitý, který je o dost pomalejší než kyselino-peroxidové leptání, avšak má mnohem jemnější leptání a způsobuje menší podleptávání spojů. Před leptáním je dobré leptací lázeň zahřát a během leptání lehce promíchávat.

2.2.1.2 Semiaditivní technologie

Pomocí semiaditivní technologie je možné vyrábět jednostranné, oboustranné i vícevrstvé DPS. Principem semiaditivní technologie je kombinace subtraktivní a aditivní technologie. Postup výroby DPS:

- 1) Formátování základního materiálu
- 2) Vrtání otvorů, které budou prokoveny
- 3) Očištění ořepů po vrtání a odmaštění nosného substrátu
- 4) Prokovení otvorů
- 5) Nanesení fotorezistu, osvit a vyvolání negativního motivu
- 6) Galvanické zesílení odkryté mědi a nanesení leptuvzorného rezistu
- 7) Odstranění fotorezistu
- 8) Leptání
- 9) Vrtání neprokovených otvorů
- 10) Nanesení fotocitlivé nepájivé masky a její vytvrzení
- 11) Osvit nepájivé masky a odstranění neexponovaných míst
- 12) Povrchová úprava – HAL, chemické nebo galvanické zlcení
- 13) Servisní potisk pomocí sítotisku
- 14) Výsledné opracování na požadovaný rozměr



Obrázek 26 : Ukázka výroby oboustranné DPS semiaditivním postupem [5]

Formátování a předúpravy základního materiálu

Formátování spočítá v ostřihu nosného materiálu na určitý rozměr a vyvrtání servisních otvorů pro uchycení DPS při různých výrobních operacích. Díky vzrůstajícím nárokům na odolnost nepájivé masky vůči teplotám a odolnosti vůči vysoce agresivnímu prostředí, které na nepájivou masku působí při chemickém zlcení, je nutné před samotnou výrobou zvýšit adhezi samotné měděné vrstvy. Zvýšení adheze se provádí buď mechanickou cestou, kde dochází ke kartáčování měděné vrstvy nebo chemickou cestou jako mikroleptání. Mechanické kartáčování není ovšem vhodné pro slabé měděné vrstvy, protože zde dochází k natahování základního materiálu, což vede k poškození slabé měděné vrstvy a vzniku mikroprasklin.

Vrtání prokovených otvorů

Vrtání je jednou z nejkritičtějších částí výroby. Od přesnosti vrtání se odvíjí výsledná přesnost vyrobeného plošného spoje. Vrtání se provádí na vysoce přesné souřadnicové vrtačce s přesností 10 μm . Vrtání se provádí s vysokorychlostním vřetenem, které dosahuje až 150 000 otáček/min. Díky vysokým otáčkám se minimalizuje poškození měděné fólie během vrtání. Při vrtání je použita 0,2mm silná hliníková fólie, která má dvojí funkci. První funkce je odvod tepla vznikajícího vrtáním. Druhá funkce je eliminace vychýlení vrtáku vznikající při vnoření do vrtaného materiálu. K vychýlení dochází právě v hliníkové fólii a otvor v DPS je již přímý. Po vyvrtání DPS je nutné očistit případné ořepky vzniklé po vrtání a měděnou fólii důkladně odmastit.

Prokovení otvorů

Prokovení se provádí metodou přímého horizontálního prokovení s tloušťkou 6 - 8 μm mědi.

Laminace fotorezistu a osvit fotorezistu

Jako fotorezist se ve velkovýrobě používá klasický tekutý fotorezist. Po zaschnutí fotorezistu se provede osvit přiloženého motivu UV výbojkou. Osvit je velmi citlivý na čistotu prostředí, jakákoliv částice větší než 10 μm je považována za nežádoucí. Pragoboard v nedávné době zavedl do výrobního procesu osvitovou místnost s několikastupňovou přetlakovou filtrací vzduchu, což vedlo k velkému snížení chybovosti motivu vlivem nečistot. Pro vyvolání negativního obrazce se používá 1% roztok jedlé sody. Vyvoláním dojde k obnažení fotorezistu v místech, kde budou spoje.

Galvanické zesílení mědi a vyleptání základního motivu

Po vyvolání negativního obrazce dojde ke galvanickému zesílení výsledné vrstvičky mědi. Tloušťka zesílení je typicky 20 μm . Posléze je provedeno galvanické nanesení leptuvzdorného rezistu, typicky je používána 12 μm silná vrstva cínu. Poté dojde k odstranění původní vrstvy fotorezistu a provede se vyleptání základního motivu. Při tomto procesu je na první pohled vidět semiaditivní proces výroby DPS. Při leptání je nutné počítat s tím, že dochází k podleptávání výsledného motivu ze stran. Tato šířka podleptání koresponduje s tloušťkou odleptávané mědi původního materiálu. Po ukončení leptání dojde k odstranění naneseného cínového rezistu.

Testování motivu

Pro spolehlivou budoucí funkci vyrobené DPS je nutné provést její kontrolu na správnost výroby. Kontrola se provádí za pomoci optických nebo elektrických testerů. Optický tester za pomoci kamer kontroluje vyrobenou DPS se zadanou referenční hodnotou – netlistem. Elektrický tester provádí měření elektrického odporu mezi dvěma zadanými body.

Nanesení fotocitlivé nepájivé masky

Na otestovanou DPS se nanese fotocitlivá nepájivá maska a provede se osvit pomocí pozitivní filmové matrice. Neexponovaná místa jsou vyvolána a dojde k tepelnému vytvrzení výsledné DPS. Nepájivá maska slouží zejména na ochranu jednotlivých spojů před vnějšími vlivy jako je oxidace nebo případné lehké mechanické poškození. Dále nepájivá maska slouží jako částečná ochrana před nežádoucím zkratováním během pájení či používání.

Finální povrchová úprava

Jelikož by byla výsledná DPS vystavena na místě pájecích plošek vnějším vlivům jako je zejména oxidace, je nutné provést závěrečnou povrchovou úpravu. Jako povrchová úprava se pro jednodušší DPS zejména bez BGA pouzder provádí žárové nanesení bezolovnaté pájky (HAL). Nanesení se provádí krátkým ponořením do tavidla a poté do roztavené pájky. Přebytečná pájka je odstraněna horkým vzduchem. Alternativou žárového nanesení pájky je chemické cínování nebo zlacení. Chemické cínování či zlacení je dražší, ale vhodnější alternativa zejména pro pájení BGA pouzder z důvodu, že chemické nanesení zaručuje vysokou rovinnost. U chemického zlacení se před samotným nanesením zlata provádí ještě niklování. Niklování je prováděno z důvodu, že galvanicky nanesená měď je značně porézní a docházelo by k pronikání zlata do velké hloubky mědi, což by znamenalo extrémní spotřebu zlata a mnohem vyšší výrobní náklady. Chemické zlacení je vhodné zejména pro svou stálost a používá se jako ochrana u DPS s předpokládaným dlouhodobým skladováním.

Nanesení servisního potisku

Pro jednodušší osazování a případné opravy součástí na DPS je takřka nutnosti použití servisního potisku. Natištění zvolené barvy servisního potisku je prováděno sítotiskem. Při návrhu DPS je nutné dbát na to, aby potisková čára nebyla příliš slabá. Metoda sítotisku neumí vytisknout čáry tenčí než 0,2mm. Dále je třeba dávat pozor, aby potisky nezasahovaly na pájecí plošky. Někteří výrobci mají tuto možnost ošetřenou a případné zasahující texty na pájecí plošky jsou před natištěním ořezány.

Finální úprava na požadovaný rozměr

Jako finální úprava jsou používány tři způsoby. První způsob je ostříh na padacích nůžkách. Tento způsob je nejrychlejší a nejlevnější ale zároveň je i nepřesný. Na hranách zůstávají otřepy skelného laminátu, které je nutné zabrousit. Díky mechanickému namáhání při ostříhu je nutné dodržet minimální vzdálenost motivu od okraje DPS 2,5mm.

Druhým způsobem je frézování na finální velikost. Frézování se provádí s pomocí frézky a s přesností $\pm 0,1\text{mm}$. Při požadavku frézování je nutné dodat výrobcí podklady s obrysem výsledné DPS.

Třetím způsobem je drážkování. Drážkování je vlastně naříznutí materiálu v panelizovaných motivech, které budou osazovány a pájeny strojně. Po osazení dojde pouze k rozříznutí drážky.

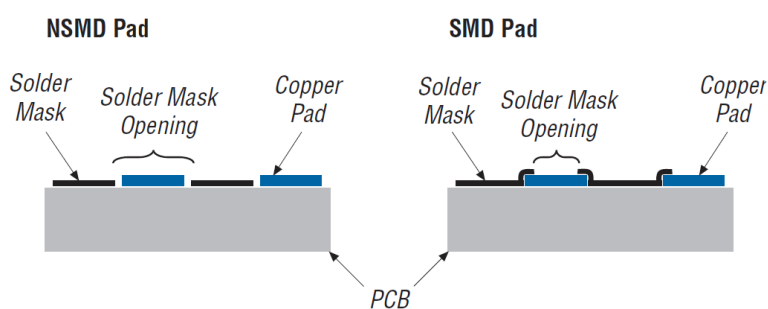
2.2.2 Doporučený návrh DPS pro BGA pouzdra

Pro spolehlivé zapájení a výslednou funkci BGA pouzdra firma Altera poskytuje návod, jak správně zapojit BGA pouzdro. Tento návod je zdarma k dispozici online jako aplikační poznámka AN114 [11]. Dokument je psán obecně a lze ho použít i při návrhu jiných DPS s BGA pouzdry.

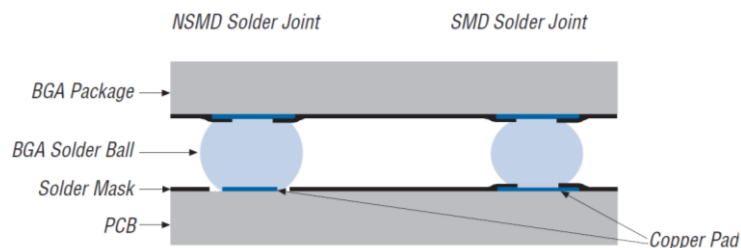
2.2.2.1 Návrh nepájivé masky

Při návrhu pouzdra BGA může vývojář použít dvě možnosti plošek a nepájivé masky. Jedna možnost je použít plošky tzv. „solder mask defined pad“, což znamená, že nepájivá maska částečně překrývá plošky pro kuličky BGA. Tato možnost se využívá při rychlých teplotních změnách – cyklech, kde by v případě použití odkryté plošky mohlo dojít k utržení plošky z nosného substrátu. Částečné překrytí plošky nepájivou maskou ovšem snižuje plochu, na které je spojena cínová kulička s mědí na desce. Při mechanickém namáhání proto dojde pravděpodobněji k utržení cínové kuličky od plošky, než k utržení celé plošky a poškození DPS.

Druhou možností je použití tzv. „Non-solder mask defined pad“, což znamená, že nepájivá maska je s určitým odstupem od plošky. Tento odstup způsobuje, že ploška má odkrytou měď i z „boku“, takže při pájení dojde k lepšímu spojení s kuličkou cínu, avšak při velkých teplotních změnách vlivem roztažnosti materiálu může tato možnost vést k utržení měděné plošky z nosného substrátu.



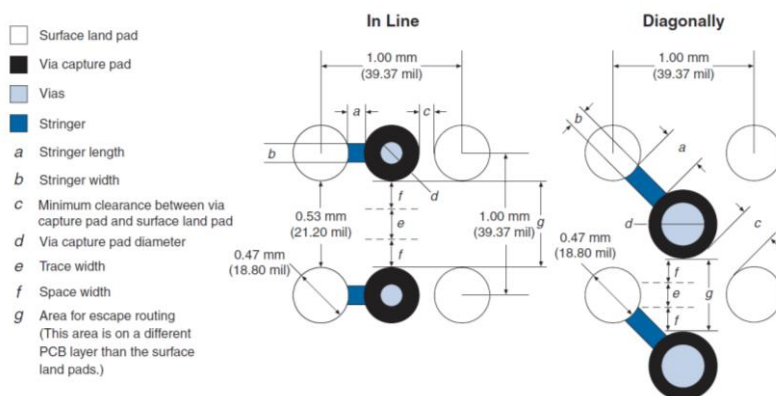
Obrázek 27 : Typy překrytí plošek nepájivou maskou [11]



Obrázek 28 : Ukázka zapájení BGA u plošek s nepájivou maskou [11]

2.2.2.2 Návrh prokův mezi ploškami BGA

Při návrhu DPS s pouzdem BGA je nutná vysoká přesnost výroby. Pro spolehlivé vyrobení je doporučená šířka vodiče/izolační mezera 0.1mm/0.1mm, která je v POOL servisu dostupná pouze za příplatek +30%. Z návrhových zkušeností lze použít i šířku vodiče/izolační mezera 0.15mm/0.15mm, což je v rámci POOL servisu bez příplatku, avšak je nutné mít menší průměr plošky prokovu. V návrhu je použita ploška s vrtaným průměrem 0,3mm a průměrem plošky 0,5mm. Altera dle aplikační poznámky AN114 doporučuje následující průměry plošek a jejich umístění:



Obrázek 29 : Doporučené polohy prokův mezi ploškami BGA pouzdra [11]

Table 4. Formula for Via Layouts for 1.00-mm Flip-Chip BGA NSMD Land Pads	
Layout	Formula
In-line	$a + c + d \leq 0.53 \text{ mm}$
Diagonally	$a + c + d \leq 0.94 \text{ mm}$

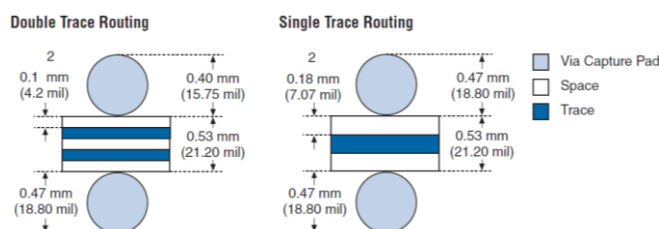
Tabulka 2 : Vzdálenosti pro prokovy u BGA pouzdra[11]

Z Tabulka 2 je patrné, že pro umístění prokovu v řadě s ploškami BGA pouzdra je nutné dodržet vzdálenost maximálně 0,53 mm. Při použití izolačních vzdáleností 0,1 mm lze spočítat, že průměr plošky by mohl být 0,33 mm, což je pro výrobu velmi obtížné. Pro vrtání by se musel použít vrták o průměru 0,1 mm což je v době psaní práce pro firmu Pragoboard nad jejich výrobní možnosti.

Při použití umístění prokovu diagonálně je nutné dodržet vzdálenost maximálně 0,94 mm. Při použití izolačních vzdáleností 0,1 mm lze spočítat, že průměr plošky by mohl být 0,63 mm, což je již bez problému vyrobitelné. Ve vývojovém kitu jsou použity prokovy umístěné diagonálně s průměrem 0,5 mm a vrtaným otvorem o průměru 0,3 mm. Průměr vrtáku 0,3 mm je zvolen díky technologickým možnostem POOL servisu. Tyto technologické možnosti jsou popsány v kapitole 2.1.1.1.

2.2.2.3 Vedení spojů mezi ploškami BGA

Vedení spojů mezi ploškami je závislé na izolačních vzdálenostech. Minimální izolační vzdálenost je 0,17 mm/0,17 mm. Při této vzdálenosti lze mezi ploškami bez porušení návrhových pravidel protáhnout pouze jeden spoj. V případě použití vyšší přesnosti s menšími izolačními vzdálenostmi (0,1mm/0,1mm) je možné mezi kuličkami protáhnout až dva spoje. Ve vývojovém kitu bylo použito izolační vzdálenosti 0,15 mm/0,15 mm.

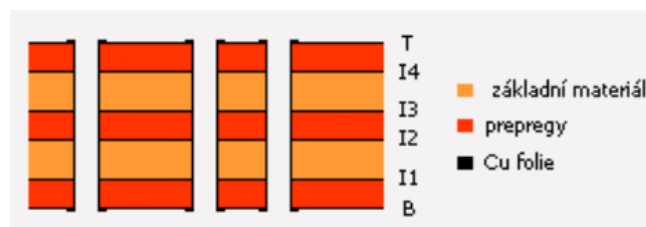


Obrázek 30 : Vzdálenosti pro vedení spojů mezi ploškami BGA [11]

2.2.3 Prokovené otvory

V praxi se vývojář může setkat s následujícími druhy prokovených otvorů. Podmínkou vytvoření prokovu je, aby na vnějších stranách desky byly umístěny vlastní plošky. Následující informace jsou aktuální k datu psaní této práce (červenec 2013) a mohou se s vývojem technologií měnit. Veškeré informace jsou čerpány s technické dokumentace firmy Pragoboard, která je z pohledu autora jedna z nejlepších českých firem ve výrobě plošných spojů.

Prokov přes všechny vrstvy – through-vias



Obrázek 31 : Schéma plných prokůvů [7]

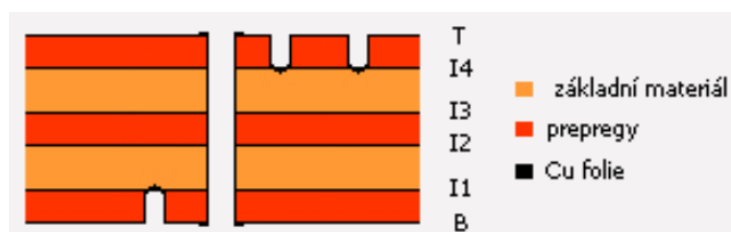
Tento druh prokoveného otvoru je nejběžnější a nejjednodušší na výrobu. Prokovený otvor je vytvořen až po kompletním slisování finální desky a následném

vyvrtání otvoru skrz všechny vrstvy. Pro spolehlivé prokovení je ovšem nutné dodržet technologické možnosti dané následující tabulkou.

průměr vrtaného otvoru (mm)	0,2	0,25	0,3	0,35	0,4	0,5
maximální hloubka otvoru (mm)	1,2	1,5	1,8	2,1	2,4	3

Tabulka 3 : Závislost maximální hloubky prokovů na průměru prokovu [7]

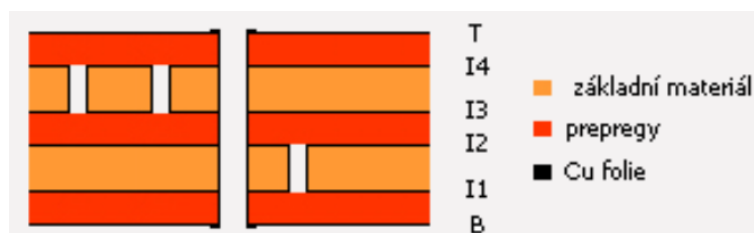
Slepé prokovy – blind vias



Obrázek 32 : Schéma slepých prokovů [7]

Tento druh prokovů je již méně častý, avšak velmi používaná u profesionálních DPS. Prokov je náročný na výrobu a je nutné použití velmi přesných výrobních postupů. Pro spolehlivé prokovení je nutné dodržet podmínku 1:1, která udává, že hloubka slepého prokovu by měla být do maximální hodnoty vrtaného průměru. Slepý prokov, může být spojen s jednou nebo více vnitřními vrstvami.

Pohřbené otvory – buried vias



Obrázek 33 : Schéma pohřbených prokovů [7]

Pohřbené otvory jsou náročné na výrobu, avšak mnohem méně než slepé prokovy. Při výrobě DPS s pohřbenými otvory se postupuje vždy vrtáním a postupným laminováním vrstev. Tento postup je jako slepé prokovy náročný na přesnost výroby. Pohřbené otvory mohou spojovat dvě a více vnitřních vrstev. Maximální hloubka prokovu je závislá na průměru vrtaného otvorů a je dán následující tabulkou.

průměr vrtaného otvoru (mm)	0,2	0,25	0,3	0,35	0,4
maximální hloubka otvoru (mm)	1,2	1,5	1,8	2,1	2,4

Tabulka 4 : Maximální hloubka pohřbeného prokovu na průměru vrtaného otvoru [7]

2.2.4 Povrchová úprava DPS

Povrchová úprava DPS po výrobě je nutnou součástí výroby. Bez povrchové úpravy by měděná fólie vlivem vzdušné vlhkosti zoxidovala a zhoršila či přímo znemožnila kvalitní pájení součástek.

2.2.4.1 Galvanicky zlacené konektory

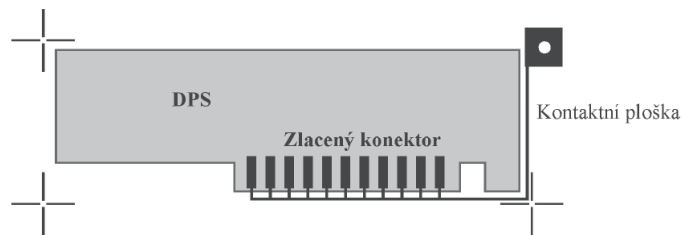
V případě, že je vyráběna DPS, která se bude zasouvat do patice, je nutné kontaktní plošky pozlatit pro lepší vodivost a mechanickou odolnost. Nelze využít pouze chemického zlata, jehož vrstvička je tvořena vrstvou 4 μm niklu a pouze 0,09 μm chemicky vyloučeného zlata. V tomto případě by brzy došlo k otěru vrstvy zlata a oxidaci kontaktu. Pro kontakty se používá tzv. tvrdokovové galvanicky nanášené zlato, kde pozlacení je tvořeno vrstvou 5 μm niklu a 1 μm zlata. Podmínkou galvanického nanášení zlata je vytvoření přívodního kontaktu pro připojení elektrody.

Výhody galvanického zlacení:

- Výborná pájitelnost
- Výborné elektrické vlastnosti
- Naprostá rovnost pájecích ploch
- Lze předepsat tloušťku zlata
- Estetické vlastnosti

Nevýhody galvanického zlacení

- Pro všechny kontakty je nutné elektrické spojení s kontaktní ploškou
- Nutnost vyšší pájecí teploty (o cca 20%)
- Vyšší cena



Obrázek 34 : Schéma DPS pro tvrdokovové zlacení konektorů [5]

2.2.4.2 Chemicky zlacené kontakty

Chemicky zlacené kontakty jsou vhodné pouze jako předpájecí povrchová úprava, kde není vhodné použití technologie HAL kvůli požadavku rovinnosti. Chemické zlacení povrchu je vhodné pro jakékoliv moderní integrované obvody. Využití je zejména u BGA pouzdra, které přímo vyžadují výbornou rovinnost. Nevýhodou zlaceného povrchu je nutnost zvýšit pájecí teplotu o cca 20%, což může mít negativní vliv na součástky. Některé firmy zabývající se pájením integrovaných obvodů¹ přímo vyžadují pro nanesení pájecí pasty pozlacení všech pájených plošek.

2.2.4.3 Technologie HAL

Technologie HAL (Hot Air Leveling) je metoda povrchové úpravy, kdy se celá DPS ponoří do roztaveného cínu a proudem horkého vzduchu dojde k odstranění přebytečného cínu. V případě této technologie nelze spoléhat na rovnost, a proto by technologie měla být používána pouze v případech, kde nevádí, že by na některé plošce mohlo zůstat více cínu než na jiné. Pro moderní DPS s výkonnými mikroprocesory s desítkami či stovkami vývodů nebo pro jakékoliv pouzdra BGA je tato metoda nevhodná, protože by mohla způsobovat špatné usazení integrovaného obvodu a posléze jeho špatné připájení.

2.2.4.4 Pájecí laky

Technologie pájecích laků byla používána již od počátků vzniku DPS. Většinou se jedná o laky na bázi kalafunové pryskyřice rozpuštěné v organickém ředidle. Tato povrchová úprava je vhodná zejména cenově při domácí výrobě DPS. Pro profesionální DPS je již tato povrchová úprava dávno překonaná.

2.2.5 Metody osazování DPS

Osazování součástek se dělí na celkem tři možné typy osazování.

- Montáž skrz desku – THT
- Povrchová montáž – SMT
- Smíšená montáž

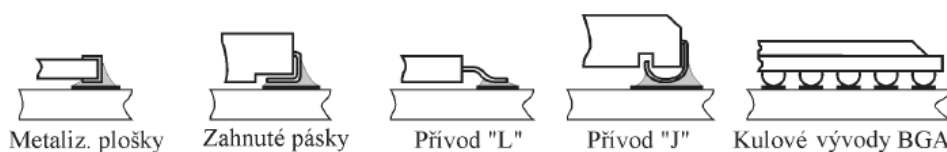
¹ Firma HC Electronic z Hradce Králové si jako požadavek zapájení BGA pouzdra uvedla nutnost pozlacení pájecích plošek.

2.2.5.1 Montáž skrz DPS

Při montáži skrz DPS jsou součástky s drátovými vývody po předchozím opracování (ostřížení na požadovanou délku a natvarování) zasunuty do prokovených či neprokovených otvorů v DPS a následně zapájeny ručně nebo pájecí vlnou. Součástky s drátovými vývody mají obecně vyšší elektromagnetické vyzařování, protože zde dochází k větším proudovým smyčkám než u obvodů s povrchovou montáží.

2.2.5.2 Povrchová montáž

Součástky pro povrchovou montáž označované jako SMD mohou mít na rozdíl od vývodových součástek mnohem menší rozměry a možnou vyšší hustotu vývodů. Díky připájení součástky přímo na DPS zde dochází k mnohem menší proudové smyčce než u vývodových součástek, tudíž DPS s SMD součástkami má menší elektromagnetické vyzařování. Díky menším rozměrům SMD součástek lze dosáhnout menší ceny za výrobu DPS a také i menší hmotnosti finálního výrobku. Osazování DPS je pomocí SMD součástek rychlejší a jednodušší než u vývodových součástek.



Obrázek 35 : Typy vývodů SMD součástek [5]

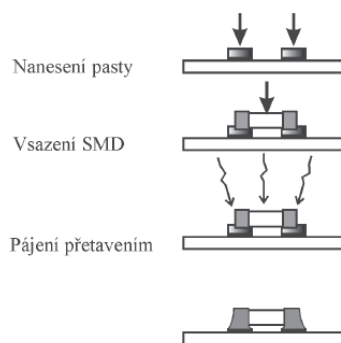
2.2.6 Postupy pájení SMD součástek

Pro pájení SMD součástek existují celkem tři metody.

- Ruční pájení
- Pájení přetavením
- Pájení vlnou

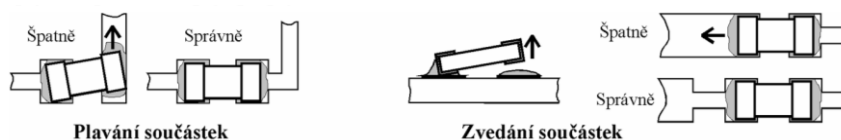
2.2.6.1 Pájení přetavením

Při pájení součástek pouze přetavením je podmínka, aby všechny součástky byly na jedné straně DPS. Pájecí pasta je na plošky nanášena pomocí síťotisku nebo dispenzerem. Přímo do pájecí pasty jsou osazeny součástky a nakonec je osazená deska zahřívána na teplotu nutnou k přetavení pájecí pasty. Většina výrobců udává doporučený teplotní profil pro pájení. Technologie je vhodná i pro velmi malé rozteče vývodů součástek.



Obrázek 36 : Schéma pájení SMD součástek přetavením [5]

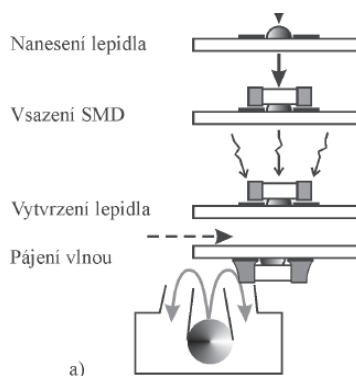
Při návrhu plošných spojů metodou přetavení je potřeba dávat pozor na možnosti „zvedání“ nebo na „plavání“ SMD součástek. Zvedání součástek je zaviněno nesymetrickým odvodem tepla z pájecích plošek součástky. Při pájení totiž dojde vlivem povrchového napětí k přesunu součástky do polohy s minimální energií. V případě, že jsou teplotní poměry v okolí součástky shodné, dojde k tzv. vystředění součástky. Zajištění teplotních poměrů v okolí je jednoduché a to tím, že bude návrhář dbát na symetrii při návrhu.



Obrázek 37 : Problémy vznikající při pájení přetavením u nesymetrického návrhu [5]

2.2.6.2 Pájení pájecí vlnou

Pájení pomocí pájecí vlny je výhodné zejména u smíšeného osazování DPS, kde dojde k zapájení SMD i THD součástek v jedné vlně. Nevýhoda této technologie je fakt, že všechny SMD součástky musí být před zapájením přilepeny lepidlem na své místo na DPS. Pájení pájecí vlnou je dostupné pouze pro velké rozteče SMD pouzder, pro malé rozteče by došlo k mezi vývodovému zkratu.



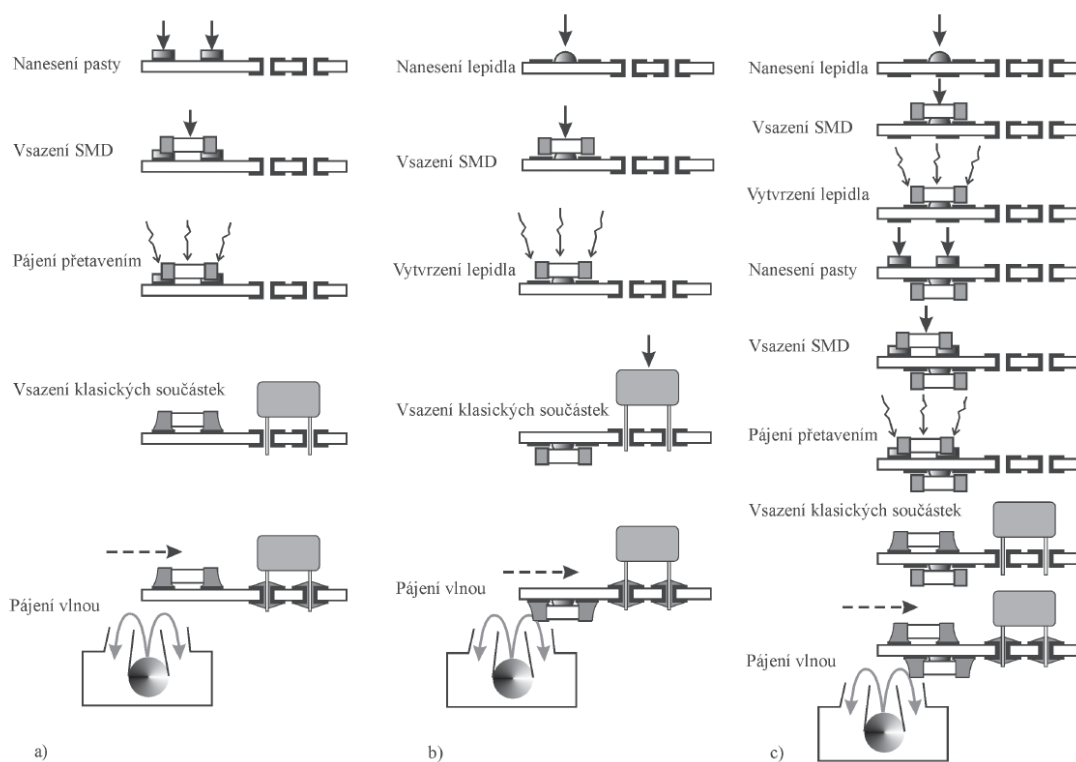
Obrázek 38 : Schéma pájení SMD součástek pájecí vlnou [5]

2.2.7 Postupy pájení při smíšené povrchové montáži

Smíšená montáž se využívá u složitějších obvodů. V případě, že jsou všechny součástky (SMD i THD) umístěné na jedné straně, využívá se kombinace metody přetavení a pájení vlnou. Metoda přetavení je využita pouze pro SMD součástky a pájecí vlna pouze pro THD součástky. Schéma tohoto procesu je zobrazeno na Obrázek 39 možnost a).

Při dodržení rozmístění součástek tak, že všechny SMD součástky jsou na jedné straně a vývodové součástky na straně druhé, lze použít pouze pájecí vlny za předpokladu použití součástek s velkými roztečemi. Schéma tohoto procesu je zobrazeno na Obrázek 39 možnost b).

V případě, že jsou SMD součástky umístěné po obou stranách, je nutné umístění SMD součástek, které budou pájeny pomocí přetavení (např. integrované obvody), umístit do stejné vrstvy jako všechny THD součástky, aby nedošlo k mezi vývodovým zkratům. Součástky, u kterých je velmi obtížné vytvoření mezivývodových zkratů (např. rezistory), lze umístit na opačnou stranu a zapájet pomocí pájecí vlny. Schéma tohoto procesu je zobrazeno na Obrázek 39 možnost c).



Obrázek 39 : Možnosti pájení smíšené povrchové montáže [5]

2.2.8 Montáž BGA pouzder

Montáž BGA pouzder probíhá ve dvou krocích. Provádí se buď pomocí automatických osazovacích strojů, nebo ručně pomocí stolních opravárenských stanic.

- Sesouhlasení a osazení BGA pouzdra
- Pájení BGA pouzdra

2.2.8.1 Osazení BGA pouzder

Osazení BGA pouzdra se provádí pomocí optického porovnání obrysu pouzdra s potiskem na DPS a porovnáním kuličkových vývodů s pájecími ploškami na DPS. Sesouhlasené pouzdro se poté osadí do předem nanesené pájecí pasty.

2.2.8.2 Pájení BGA pouzder

Pájení BGA pouzder pomocí klasické mikropájky již není prakticky uskutečnitelné – jakmile by se hrot mikropájky dotkl kuličky BGA pouzdra, tak by došlo k přetečení cínové kuličky na hrot pájky. Pokud by ovšem „nějakým zázračným způsobem“ uživatel byl schopen zapájet bez zkratu vnější kuličky BGA pouzdra, jak tedy zapájet vnitřní řady? Jedinou možností je využití infrapájky nebo horkého vzduchu.

Při pájení je nutné dodržovat technologii při pájení. Nelze kombinovat bezolovnaté kuličky BGA pouzdra s olovnatou slitinou cínu použitou při povrchové úpravě HAL. Při kombinaci bude docházet ke kolísání teploty mezi oběma druhy slitin podle procentního zastoupení olova v celkovém objemu spoje.

Při pájení se uplatňují tři významné jevy:

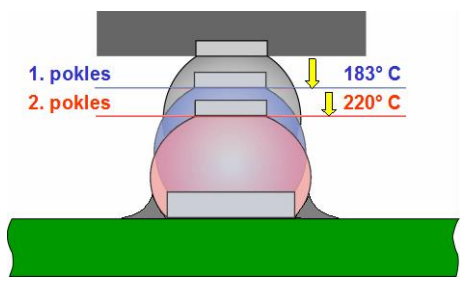
- Efekt dvojího poklesu
- Samovystřed'ovací schopnost BGA pouzder
- Teplotní a mechanická hystereze

Efekt dvojího poklesu

Efekt spočívá v postupném klesání BGA pouzdra během pájení. První pokles je v okamžiku, kdy dojde přetavení pájecí pasty nebo při lehkém natavení obou stran kuličky, což je většinou při teplotě 183° C. Pouzdro při této teplotě klesne o cca 10-20%. Při druhém poklesu již dojde k roztavení kuliček v celém objemu a dojde k poklesu BGA pouzdra o cca 20-30% původní vzdálenosti. Teprve po druhém poklesu dojde k dokonalému smočení pájecích ploch a kvalitnímu zapájení. Druhý pokles nastává při teplotě cca 220° C.



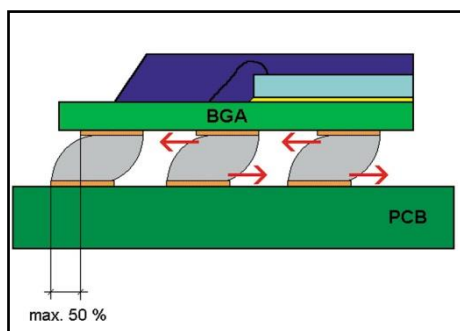
Obrázek 40 : Průběh efektu dvojího poklesu při pájení BGA [6]



Obrázek 41 : Detail průběhu dvojího efektu při pájení BGA [6]

Samovystředovací schopnost BGA pouzdra

Samovystředovací schopnost je jev, kdy dynamické síly povrchového napětí způsobí vycentrování pouzdra na pájecích ploškách do polohy s minimální energií. Díky tomuto jevu, není nutné BGA pouzdro osazovat úplně přesně. Stačí, pokud je pouzdro osazeno do odchylky maximálně 50% průměru plošky, při vyšší odchylce hrozí možnost přeskočení na vedlejší plošku.



Obrázek 42 : Samovystředovací schopnost BGA pouzder [6]

Teplotní a mechanická hystereze

Již při návrhu DPS se musí počítat s rovnoměrným rozložením mědi. V případě, že na straně TOP bude pouze několik spojů a na straně BOTTOM bude celistvá rozlité plocha mědi, může tento fakt mít za následek, že dojde při ochlazování k utržení plošek od BGA pouzdra. Při zahřívání se totiž DPS ohřeje, strana BOTTOM se roztáhne více než strana TOP a dojde k prohnutí DPS. Při následném ochlazování dojde k dřívějšímu ochlazení vrstvy TOP a připájení kuliček BGA pouzdra. Po ochlazení vrstvy BOTTOM dojde k narovnáání DPS a případnému utržení plošky od kuličky BGA pouzdra, nebo k mikrotrhlinám ve spojích. Tento fakt má poté za následek v lepším případě zhoršenou vodivost spoje, v horším případě dojde k občasnému přerušení spoje dle okolní teploty.

Problémy při pájení BGA pouzdra

Při pájení BGA pouzdra je mimo možnosti utržení plošky velké riziko mezivývodových zkratů, které jsou viditelné pouze pod rentgenovým zářením. Zkratky vznikají zejména z těchto důvodů:

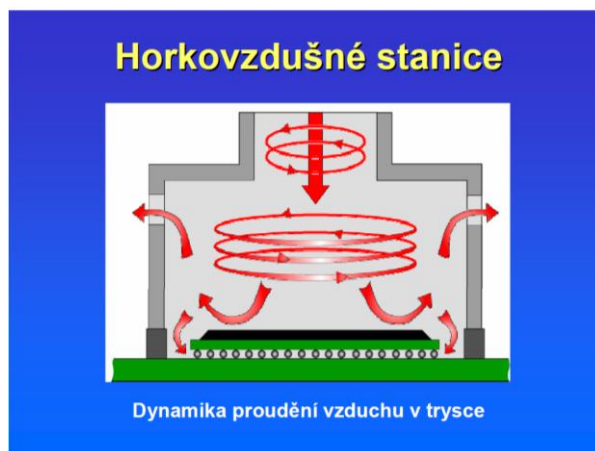
- Velká hmotnost BGA pouzdra
- Velký tlak horkého vzduchu při pájení horkým vzduchem
- Vysoká pájecí teplota
- Použití velkého množství tavidla
- Prohnutí DPS nebo pouzdra během pájení
- Špatně natisknutá pájecí pasta

Většina těchto problémů je u profesionálních firem již odladěná a neměly by být s pájením problémy. Co může vývojář ovlivnit je pouze správné a rovnoměrné rozmístění mědi na DPS a problémy související s prohnutím pouzdra. K prohnutí pouzdra může dojít v případě, že je pouzdro navlhle. Je tedy doporučeno součástky před samotným pájením neotevírat ze zavařených pytlíků. Pokud dojde k otevření a pouzdro bude na vzdušné vlhkosti, dojde k navlhnutí pouzdra a při pájení bude vlhkost způsobovat problémy. V lepším případě dojde při pájení pouze k prohnutí pouzdra bez poškození celého integrovaného obvodu, v horším se projeví tzv. „popcorn efekt“, kdy dojde k roztržení pouzdra vlivem tlaku páry. Pokud je pouzdro navlhle, je nutné jej vysušit. Toto sušení trvá cca týden.

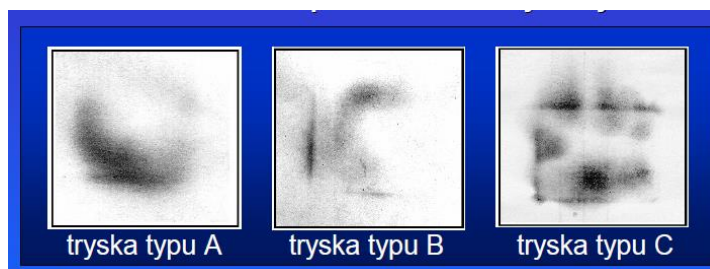
Pájení horkým vzduchem

Při použití pájení pomocí horkého vzduchu se mohou vyskytovat určité problémy, které nejsou na první pohled patrné. Při pájení horkým vzduchem je využívána speciální tryska, ze které proudí horký vzduch. Kvalita výsledného pájení závisí na spoustě provázaných parametrů, jako je tlak proudícího vzduchu z trysky, tvar trysky, teplota, čas apod. Při pájení horkým vzduchem dochází k turbulentnímu proudění, které způsobuje nerovnoměrný ohřev součástky a riziko poškození. Tento nerovnoměrný ohřev je zobrazen

na Obrázek 44. Dále horký vzduch teplotně ovlivňuje okolní součástky. Tryska dále zakrývá součástku, proto nelze kontrolovat průběh pájení na tzv. dvojí pokles.



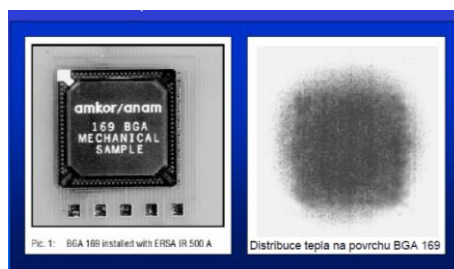
Obrázek 43 : Pájení BGA pouzder horkým vzduchem [6]



Obrázek 44 : Ukázka distribuce tepla při použití tří druhů trysek [6]

Pájení infračerveným ohřevem

Pájení pomocí infračerveného ohřevu je vhodnější než pájení horkým vzduchem z důvodu rovnoměrného ohřevu pouzdra součástky, kdy je pájecí teplota vždy porovnávána se zadaným teplotním profilem a proto nehrozí přehřátí součástky a její zničení. Dále pájení neovlivňuje okolní součástky a lze provádět optickou kontrolu pomocí kamery během celého pájecího cyklu. Nevýhodou je ovšem vyšší pořizovací cena IR pájecí stanice.



Obrázek 45 : Ukázka distribuce tepla při infračerveném ohřevu [6]

Opravy BGA pouzder

Opravou BGA pouzdra je myšlen proces, kdy dojde k odpájení chybně zapájeného pouzdra nebo kdy došlo k přerušení spojení plošky s kuličkou BGA vlivem stáří nebo mechanického namáhání. V praxi se většinou BGA obvody vyměňují přímo za nové, avšak v případě, že požadovaný typ BGA není dostupný, nebo je příliš drahý, nezbyvá jiné možnosti, než přistoupit k opravě. Pro opravu je nutná speciální matrice, cínové nebo cíno-olověné kuličky a podle typu kuliček i pájecí pasta. Oprava je prováděna v následujících krocích:

- 1) Odpájení špatně zapájeného nebo vadného obvodu
- 2) Očištění DPS a případná montáž nového obvodu
- 3) Očištění BGA pouzdra
- 4) Obnovení kuličkových vývodů (Reballing)
- 5) Nanesení pájecí pasty
- 6) Zapájení a kontrola

3 Programátor FPGA

Programátor FPGA je elektronické zařízení, schopné zapsat data do programové paměti hradlového pole typu FPGA. Programovou pamětí je myšlena paměť EPCS, což je vlastně sériová flash paměť. Paměť EPCS byla vybrána z důvodu přímé kompatibility s FPGA firmy Altera. Blokové schéma celého programátoru je uvedeno v příloze.

3.1 Komponenty

Celý programátor se skládá z několika základních komponent:

- 1) Paměť EPCS
- 2) Mikrokontrolér
- 3) Převodník USB↔RS232

3.1.1 Paměť EPCS

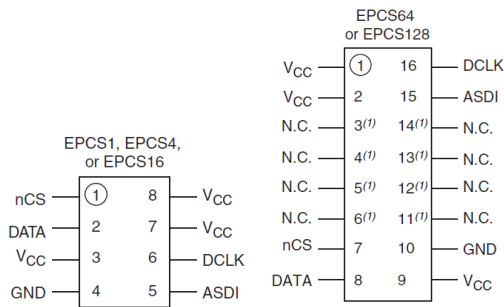
Paměť EPCS je sériová flash paměť nativně kompatibilní s obvody FPGA firmy Altera. Tato paměť je ovládána velmi jednoduše pomocí celkem 4 vodičů – NCS, DATA, ASDI, CLK. NCS (Negative Chip-Select) vodič ovládá povolení EPCS paměti pro příjem dat. Vodič DATA slouží k jednosměrnému přenosu dat z paměti EPCS. Vodič ASDI slouží k přenosu instrukce do paměti EPCS, přes tento vodič jsou taktéž odesílána data pro paměť EPCS jako např. adresa místa pro zapsání či status paměti, který má být zapsán do paměti. CLK vodič slouží k přenosu hodinového signálu do paměti EPCS.

Table 2. Memory Array Organization in EPCS Devices

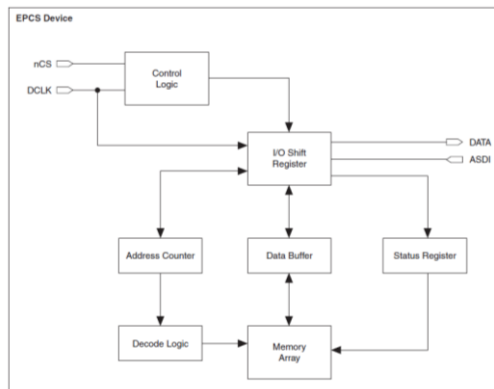
Details	EPCS128	EPCS64	EPCS16	EPCS4	EPCS1
Bytes	16,777,216 bytes (128 Mb)	8,388,608 bytes (64 Mb)	2,097,152 bytes (16 Mb)	524,288 bytes (4 Mb)	131,072 bytes (1 Mb)
Number of sectors	64	128	32	8	4
Bytes per sector	262,144 bytes (2 Mb)	65,536 bytes (512 Kb)	65,536 bytes (512 Kb)	65,536 bytes (512 Kb)	32,768 bytes (256 Kb)
Pages per sector	1,024	256	256	256	128
Total number of pages	65,536	32,768	8,192	2,048	512
Bytes per page	256 bytes	256 bytes	256 bytes	256 bytes	256 bytes

Tabulka 5 : Tabulka velikostí paměti EPCS[1]

Paměti EPCS jsou vyráběny pouze v provedení SMD a v pouzdrech SOIC8 (paměti o velikostech 1,4 nebo 16Mbit) a pouzdrů SOIC16 (paměti o velikosti 64 a 128 Mbit).



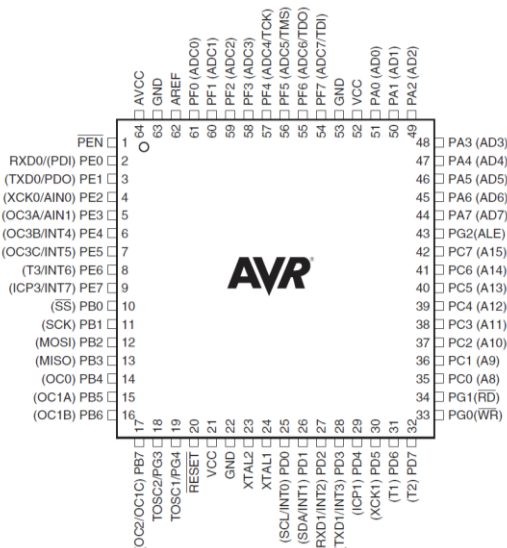
Obrázek 46 : Zapojení vývodů paměti EPCS [1]



Obrázek 47 : Vnitřní blokové schéma paměti EPCS [1]

3.1.2 Mikrokontrolér

Jako hlavní řídicí obvod byl vybrán mikrokontrolér ATmega128 od výrobce Atmel. Tento obvod byl vybrán z několika důvodů. Hlavním důvodem byly zkušenosti autora této práce s architekturou mikrokontrolérů řady AVR. Další výhodou tohoto obvodu je velká programová a datová paměť. Velikost programové paměti je 128kB, datové paměti 4kB SRAM a 4kB EEPROM. Zdrojem hodinového signálu je převodník FT232RL o frekvenci 12 MHz.



Obrázek 48 : Zapojení vývodů mikrokontroléru AVR ATmega128[13]

Mikrokontrolér ATmega128 skrývá v zapojení vývodů jednu záludnost, na které se i autor této práce nachytl. Jedná se o označení programovacích vývodů ISP. U většiny obvodů řady AVR se programová paměť programuje skrz vývody MOSI, MISO, SCK a nSS. Tento mikrokontrolér obsahuje tyto SPI linky celkem dvě. Přes uvedené vývody (v Obrázek 48 jsou tyto piny připojeny na PB0 až PB3) nelze mikrokontrolér naprogramovat. Správné piny nejsou v [13] na první pohled patrné a návrhář si odlišných programovacích pinů všimne až v případě, kdy nefunguje komunikace programátoru s mikrokontrolérem. Programovací piny jsou označeny v Tabulka 6.

Table 127. Pin Mapping SPI Serial Programming

Symbol	Pins	I/O	Description
MOSI (PDI)	PE0	I	Serial data in
MISO (PDO)	PE1	O	Serial data out
SCK	PB1	I	Serial clock

Tabulka 6 : Programovací piny obvodu ATmega128 [13]

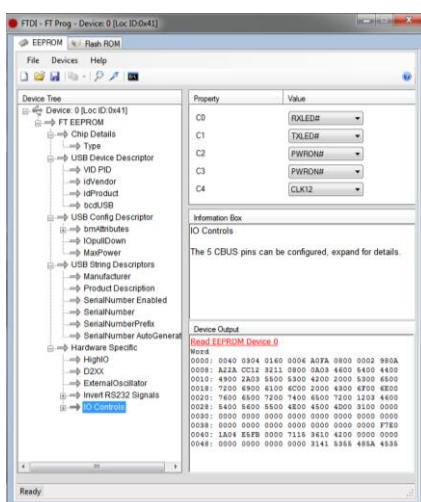
3.1.3 Napájení programátoru

Celý programátor je napájen z USB portu +5 V. Napětí je následně sníženo lineárním stabilizátorem od firmy Texas Instruments typ TLV1117-33 na +3.3 V. Napájení je řízení převodníkem USB↔RS232 model FT232RL. Tento převodník je nastaven tak, že po úspěšném přihlášení převodníku k počítači, připojí přes tranzistor typu mosfet (TMS2301CX) napětí z větve USB (+5V) na napájecí svorku lineárního stabilizátoru. Maximální odebíraný proud z větve USB je 500 mA. Tato hodnota se dá kdykoliv v nastavení portu omezit na nižší hodnotu.

3.1.4 Převodník USB↔RS232

Komunikace s ovládacím softwarem je založena na převodníku USB↔RS232 typu FTDI232RL. Tento převodník je schopen generovat hodinový signál o hodnotách 6 MHz, 12 MHz, 24 MHz a 48 MHz, z nichž hodinový signál o frekvenci 12 MHz je použit pro taktování řídicího mikrokontroléru. Dále tento převodník nabízí velmi jednoduchou možnost, jak se vyhnout zastaralým a rozměrově velkým konektorům CAN9 používaných u sériové linky a nahradit je malým USB konektorem. Komunikace je fyzicky provedena přes USB protokol, avšak z hlediska programování se tváří jako klasická sériová linka, se kterou umí většina mikroprocesorů komunikovat. USB poskytuje výhodu také v tom, že v jednom konektoru jsou datové i napájecí vodiče +5 V s maximálním odběrem 500 mA, což bohatě pokryje spotřebu programátoru a není nutné připojovat mimo jednoho USB kabelu žádné další kabely.

Při prvním připojení převodníku je nutné nainstalovat ovladače. Tyto ovladače způsobí, že se převodník bude tvářit jako virtuální sériová linka. Dále je nutné převodník správně nastavit. Program na nastavení převodníku se jmenuje FT prog, který lze zdarma získat z [14]. Při správném připojení program sám detekuje připojený převodník, ve kterém je nutné nastavit vývody označené C0 až C4. Tyto vývody mají omezenou funkci, avšak pro většinu aplikací vystačí. V programátoru byly využity funkce signalizace komunikace, spínání výstupu po úspěšném připojení a generování hodinového signálu. Správné nastavení programu FTprog pro převodník použitý v programátoru je zobrazeno na Obrázek 49. Pozor! Nesprávným nastavením převodníku může vývojář pod sebou podříznout větev! Naprogramování nastavené konfigurace se provede v záložce device-program.



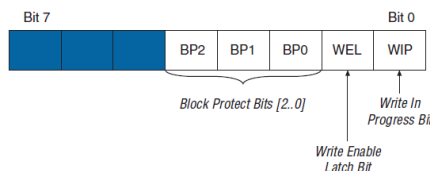
Obrázek 49 : Nastavení převodníku FT232RL

3.1.5 Ostatní periférie

Pro větší možnosti programátoru byly přidány expanzní konektory, LED diody a tlačítka. Tyto periférie nejsou v programátoru využity a mají spíše smysl při ožívání prototypové DPS.

3.2 Stavový registr

Stavový registr obsahuje aktuální stav EPCS paměti. Velikost stavového registru je 1B.



Obrázek 50: Stavový registr paměti EPCS[1]

- Block Protect Bits – bity obsahující informaci o uzamčených sektorech v paměti
- Write Enable latch bit – bit signalizující povolení zápisu do paměti
- Write In Progress bit – bit signalizující, že paměť pracuje a není připravena na přijetí další instrukce. U některých instrukcí (zejména mazání celé paměti) může být tento bit nastaven i několik desítek vteřin.

3.3 Podporované instrukce EPCS

EPCS paměť podporuje řadu instrukcí, z nichž se každá skládá z řídicího slova, které jednoznačně identifikuje danou instrukci. Toto řídicí slovo je vždy obsaženo v instrukci a je na prvním místě. Přehled instrukcí a jejich syntaxe je vypsán v Tabulka 7.

Název instrukce	Řídicí slovo [binárně]	Adresa [B]	Prázdné B [počet]	Data [B]	Délka instrukce [B]
Write enable	0b0000 0110	0	0	0	1
Write disable	0b0000 0100	0	0	0	1
Read status	0b0000 0101	0	0	1 až ∞	2 až ∞
Read bytes	0b0000 0011	3	0	1 až ∞	5 až ∞
Read SID	0b1010 1011	0	3	1 až ∞	5 až ∞
Fast read	0b0000 1011	3	1	1 až ∞	6 až ∞
Write status	0b0000 0001	0	0	1	2 až ∞
Write bytes	0b0000 0010	3	0	1 až 256	5 až 261
Erase bulk	0b1100 0111	0	0	0	1
Erase sector	0b1101 1000	3	0	0	4

Tabulka 7 : Seznam podporovaných instrukcí paměti EPCS [1]

3.4 Oživení prototypu programátoru

3.4.1 Osazení a pájení

Při oživení programátoru byly nejdříve zapájeny integrované obvody (ATmega128, EPCS paměť a převodník FTDI a konektor USB) a posléze zapájeny ostatní součástky jako expanzní konektory, rezistory a kondenzátory.

Při osazování nevznikl žádný problém a všechny součástky byly správně zapájeny bez poškození pomocí hrotové pájky.

3.4.2 Oživení

3.4.2.1 Převodník FTDI

Při prvním zapnutí je nutné správně nastavit převodník FTDI, který je zdrojem hodin pro mikrokontrolér AVR a dále spíná pomocí svého výstupu přívod napájecího napětí z USB (+5V) do napájecího vstupu lineárního stabilizátoru. Při prvním připojení k počítači by mělo dojít k instalaci potřebných ovladačů. V některých případech nedošlo ke správné instalaci a musela být instalace provedena pomocí návodu a instalátoru, který je k dispozici na stránkách výrobce [16].

Po správném nainstalování ovladačů a připojení bude ve správci zařízení vytvořen nový sériový port. Při zjištění vlastností tohoto portu bude uvedeno jméno portu USB serial port (COM x). Dále je nutné převodník FTDI nastavit do správného nastavení. Toto nastavení již bylo popsáno v kapitole 3.1.4 a správné nastavení pro prototyp programátoru je zobrazeno na Obrázek 49.

3.4.2.2 Napájení

Napájení je řízeno obvodem FTDI, které sepne výstupní unipolární tranzistor a přivede napájecí napětí +5V na vstup lineárního stabilizátoru stabilizujícího na napětí +3.3 V. Celý převodník má v plném běhu velmi malý odběr (do 100 mA) a není nutné chlazení stabilizátoru. Díky malému odběru je možné napájet celý programátor pouze z konektoru USB, kde je povolený maximální odběr 500 mA.

3.4.2.3 Mikrokontrolér ATmega128

Při oživování prototypu programátoru bylo zjištěno několik závažných chyb. První závažná chyba byla, že mikrokontrolér AVR nekomunikoval s programátorem. Při bližším zkoumání bylo zjištěno, že se mikrokontrolér programuje přes jiné vývody, než je na první pohled patrné ze rozmístění pinů. Tato skutečnost je již popsána v kapitole 3.1.2 a v Tabulka 6. Po opravě pomocí vodivých propojek stále mikrokontrolér nekomunikoval.

Další problém byl odhalen zjištěním, že byly nepozorností prohozeny vstupy hodinového signálu při návrhu součástky. Pro oživení bylo nutné pomocí slabého vodiče provést přepojení hodinového signálu s převodníku FTDI na jiný pin. Mikrokontrolér ovšem dále nekomunikoval.

Při detailnějším bádání byl zjištěn problém v samotném nastavení mikrokontroléru. K použití byl dán mikrokontrolér ze skladových zásob, který byl zřejmě již někde použit. Při továrním nastavení je mikrokontrolér nastaven tak, aby po zapnutí mikrokontrolér taktován vnitřním RC oscilátorem, avšak v tomto případě měl mikrokontrolér nastaven externí krystal. Při návrhu byl programátor navržen tak, aby byl synchronní s převodníkem FTDI, tudíž připojen ke zdroji hodinového signálu. Pro oživení mikrokontroléru bylo tedy nutné připojit externí krystal o hodnotě 16 MHz. Po připojení krystalu začal mikrokontrolér komunikovat s programátorem a bylo možné změnit nastavení pojistek tak, aby mikrokontrolér byl schopen pracovat s externím hodinovým vstupem.

3.4.2.4 Ostatní periferie

Ostatní periferie jako diody, tlačítka a expanzní konektory byly již oživeny bez problémů.

3.5 Ovládání programátoru

Programátor má naprogramovaný řídicí software v jazyce C. Ovládací software se dělí na dvě části. První část je část klientská, která je umístěna na uživatelském zařízení. V požadavcích bylo zadáno, že programátor má být ovládán pomocí textových příkazů. Komunikační software pro počítač byl naprogramován v programu Microsoft Visual Studio 2012.

Druhá část aplikace je umístěna v mikrokontroléru AVR a je stejně jako řídicí aplikace naprogramována v jazyce C. Ovládací software byl naprogramován v programu Atmel studio verze 6.

Komunikace mezi ovládacími programy je uskutečněna přes virtuální sériovou linku. Jako první vždy zahajuje komunikaci počítač, který předá instrukci mikrokontroléru, který zadanou instrukci provede. Mikrokontrolér podporuje následující instrukce:

- Čtení statusu EPCS včetně uzamčených sektorů
- Zjištění připojené paměti
- Povolení a zakázání zápisu do paměti EPCS
- Zapsání bloku dat do paměti EPCS
- Čtení bloku dat EPCS
- Smazání celého obsahu paměti EPCS

3.5.1 Komunikační protokol s programátorem

Komunikační protokol byl vyvinut speciálně pro tuto aplikaci. Celý komunikační protokol se skládá z hlavičky, datové přílohy a kontrolního součtu celé zprávy. Komunikaci vždy zahajuje program umístěný v uživatelském PC. Při testování byl komunikační protokol často měněn z důvodu velké chybovosti a nutného zabezpečení správnosti zapsaných dat.

Chybovost se projevovala poškozenými zprávami, které byly poškozeny posunutím vpravo i vlevo o několik bajtů. Při bádání proč tomu tak je, nebyla zatím nalezena uspokojivá odpověď, která by vše jednoznačně vysvětlila. Chybovost se projevuje zejména u čtení a zápisu dat do paměti, kde dochází k přenosu bloků dat. U instrukcí, jako je čtení statusu paměti či povolení zápisu, kde celá zpráva má délku 3B, nedocházelo k žádné chybovosti.

Kvůli velké chybovosti došlo k vytvoření zabezpečení celých zpráv. V případě, že do mikrokontroléru přijata poškozená zpráva, bude zahozena a vyžádána nová. Poškozená zpráva je poznána tak, že před odesláním je vždy spočítán kontrolní součet a odeslán se zprávou. Stejný postup je proveden na druhé straně, kde dojde ke spočítání kontrolního součtu přijaté zprávy, a následném porovnáním výsledků. Tento způsob je velmi efektivní a zdál se u testovacích souborů (velikost 100 kB) účinný, avšak při ostrém testování na vývojovém kitu selhal. Při zápisu souboru o velikosti 2 MB do paměti EPCS docházelo k chybám v řádu jednotek až desítek. Zabezpečení bylo tedy rozšířeno o žádost opakování zprávy, pokud došlo k poškození z mikrokontroléru do PC. Problém je ovšem v případě, kdy dojde k poškození dvou a více zpráv za sebou ve směru z mikrokontroléru a zároveň jedné poruchy ve směru do mikrokontroléru.

Pro další programování tedy musí být za každou cenu chybovost výrazně eliminována. Domněnka autora této práce je, že komunikace je poškozena přímo v HW části vlivem nevhodného hodinového taktu. Tato nevhodná hodinová frekvence (12 MHz) způsobuje nepřesnou komunikační rychlost. Chybovost je pouze 0,16% avšak při vyšší délce zprávy může mít na poruchovost vliv. Tato poruchovost se dá odstranit volbou vhodného krystalu (11,0592 MHz), který zajistí přesnou komunikační rychlost. Bohužel v prototypové verzi nyní nejde krystal připojit a pro otestování správnosti dogmatu je nutné vytvořit novou DPS.

V Tabulka 8 jsou zobrazeny řídicí slova jednotlivých instrukcí, které jsou odesílány ke zpracování do mikrokontroléru AVR. Každá instrukce, má jiné parametry pro zápis. Všechny instrukce se shodují v prvních třech bajtech, kde první dva bajty obsahují řídicí slovo a třetí bajt je celková délka zprávy. Tato celková délka zprávy je nutná pro správné přijetí zprávy. V komunikaci nelze používat různé řídicí znaky jako je „\0“, „\n“ atd. protože přenos zpráv je bajtový a je téměř jisté, že by se řídicí znak ve zprávě mohl objevit, třeba v datech které jsou zapisované do paměti, což by způsobovalo nemalé problémy.

Instrukce	Řídící slovo [2B]
Čtení statusu	RS
Povolení zápisu	WE
Mazání paměti	EA
ID paměti	SI
Zápis statusu	WS
Čtení paměti	RD
Zápis do paměti	WR

Tabulka 8 : Řídící slova komunikačního protokolu

V Tabulka 9 jsou zobrazeny instrukce podporované hlavním komunikačním programem umístěným na klientské straně v osobním počítači.

Instrukce	Příkaz v konzoli
Čtení statusu	read_status
Povolení zápisu	write_enable
Mazání paměti	erase_all
ID paměti	get_SID
Zápis statusu	write_status:STATUS
Čtení paměti	read_memory
Zápis do paměti	write_memory

Tabulka 9 : Podporované instrukce programátorem

V této práci nemá zatím smysl podrobněji rozebírat komunikační protokol, protože s jistotou dojde k jeho menší či výraznější změně. Jelikož programátor je součástí většího projektu, bude k odladěné verzi vydána samostatná podrobná dokumentace.

3.5.2 Komunikace mikrokontroléru s EPCS

Komunikace s EPCS pamětí je provedena pomocí pouze 4 vodičů - NCS, DATA, ASDI, CLK. Pro správnou a korektní komunikaci je nutné dodržovat několik následujících pravidel.

- Vodič NCS musí být uveden do logické ,0‘ jako první. Po skončení komunikace musí být uveden do logické ,1‘ jako poslední.
- Vodič CLK je využit pro generování řídicího kmitočtu pro EPCS paměť. Náběžná hrana CLK impulsu musí být provedena až v době, kdy jsou sériová data vybavena na vodiči ASDI.
- ASDI je vodič pro sériové zapisování řídicího slova (instrukce) či dat pro EPCS paměť, přičemž načítání dat je EPCS pamětí započato na první vzestupnou hranu (Rising edge) po sestupné hraně od NCS. Data se posílají ve formátu, kde MSB je vysílán jako první bit.

- d) Vodič DATA je využit jako jednosměrná komunikace od EPCS paměti k MCU. Data jsou z paměti vyčítána na sestupnou hranu (Falling edge).
- e) V případě komunikace více instrukcí za sebou, je nutné za kompletní instrukcí nastavit NCS do logické '1' jako příznak ukončení zadávání instrukce. Pokud by se tomu tak nestalo, docházelo by u některých instrukcí (čtení statusu, čtení dat z adresy apod.) k opětovnému vyčítání dat v rámci předchozí instrukce, nikoliv k načítání řídicího slova od aktuální instrukce.

3.5.3 Write enable

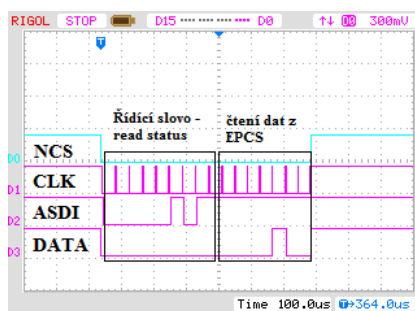
Instrukce write enable povoluje zápis jakýchkoliv dat do paměti EPCS. Instrukce by měla být vysílána vždy před každou instrukcí, která zapisuje jakékoliv informace do EPCS. Zapsání instrukce write enable do paměti se projeví změnou hodnoty stavového registru – bude nastaven bit č. 1.

3.5.4 Write disable

Instrukce write disable zakazuje zápis jakýchkoliv dat do paměti EPCS. Zapsání instrukce write disable do paměti se projeví změnou hodnoty stavového registru – nebude nastaven bit Write Enable.

3.5.5 Read status

Instrukce read_status vyčítá z paměti EPCS její aktuální status. Jako první je odesláno řídicí slovo, následuje 8 hodinových taktů. Při každém hodinovém taktu na sestupnou hranu hodin EPCS paměť vybaví data na datový vodič.



Obrázek 51 : Průběh instrukce read status

4 Vývojový kit s FPGA

Blokové schéma celého vývojového kitu je zobrazeno díky své velikosti v příloze.

4.1 Návrh napájecího zdroje

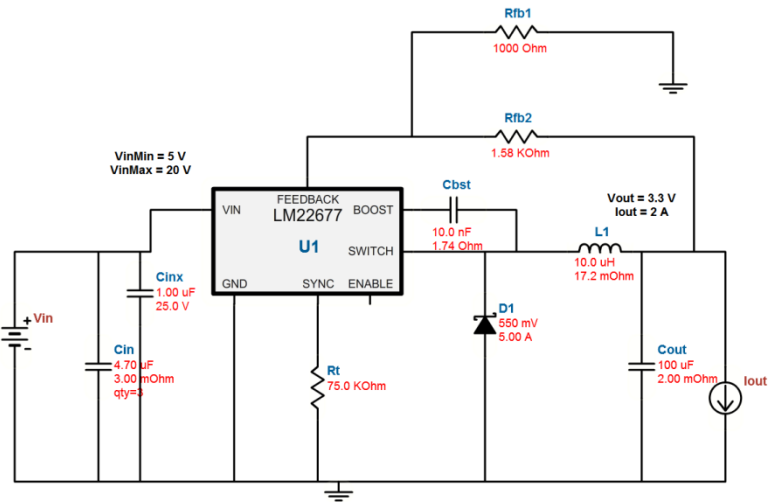
Pro napájení výsledného zařízení připadaly v úvahu pouze dvě možnosti napájení, další možnost – napájení ze sítě pomocí transformátoru umístěného přímo na DPS byla zavrhnuta pro velké riziko úrazu elektrickým proudem, dále díky celkové hmotnosti a výsledným rozměrům DPS.

První možností a nejjednodušší možností se jevilo použití lineárního stabilizátoru od firmy Texas Instruments typ LM1084, který má maximální výstupní proud 5A a pevné výstupní napětí. Lineární stabilizátory mají spoustu výhod: například velmi jednoduché schéma návrhu – stačí pouze samotný integrovaný obvod a celkem 4 kondenzátory – 2 elektrolytické a dva keramické. Nevýhodou lineárních stabilizátorů je fakt, že musí mít velmi kvalitně navržené chlazení. Pro případ napájecího napětí 12 V a výsledného napětí 5 V s proudem pouze 1 A, dojde k maření výkonu na lineárním stabilizátoru přibližně 7W. Tento mařený výkon je velmi výrazný a bylo by tedy nutné použít externí chladič či velkou chladičící plochu na DPS.

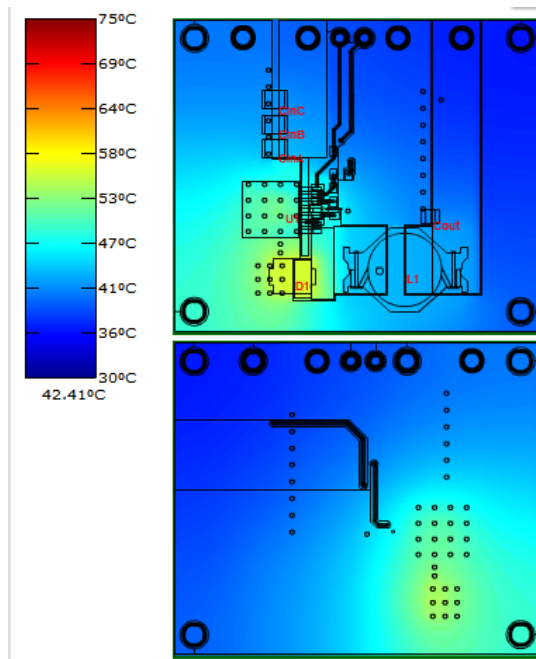
Druhou možností je použít DC-DC měnič. Tato možnost je z hlediska schématu složitější, avšak je ve schématu použita. Hlavní výhodou DC-DC měničů je ta, že se chovají jako transformátor a mají obecně mnohem vyšší účinnost než lineární stabilizátory, tudíž není nutné odvádět příliš velký ztrátový výkon.

4.1.1 Návrh DC-DC měniče

Ve schématu je použit integrovaný obvod od firmy Texas Instruments typ LM22676/LM22677. Rozdíl mezi těmito modely je pouze v maximálním odebíraném proudu – LM22676 má maximální odebíraný proud 3A, LM22677 má maximální proud 5 A. Tyto měniče pro vývojový kit bohatě postačují pro napájení periférií s napětím +5 V a +3.3 V. Měniče byly navrženy online návrhovým prostředím Webench od výrobce Texas Instruments, které je zdarma k dispozici po registraci. K návrhovému systému se uživatel dostane velmi jednoduše přes hlavní stránku výrobce [2]. Toto prostředí má velmi rozsáhlou databázi vyráběných součástek, které lze použít do výsledného navrženého zdroje napětí. Zadání je velmi jednoduché – uživatel si zvolí maximální vstupní napětí, maximální výstupní proud a výstupní napětí. Systém spočítá a navrhne soubor možných řešení včetně schématu. Systém také podporuje u některých integrovaných obvodů i funkční simulaci zapojení a i teplotní simulaci. Této možnosti bylo při návrhu využito a výsledky jsou zobrazeny níže. V systému bohužel nejde nastavit vlastní rozmístění součástek pro realistickou teplotní simulaci, avšak rozmístění na desce i v simulátoru je velmi podobné tak lze brát výsledky za vyhovující.



Obrázek 52 : Schéma zapojení DC-DC měniče pro +3.3 V napájení [2]



Obrázek 53: Teplotní simulace DC-DC měniče pro vst. napětí 20V, výst. 3.3V/2A [2]

Z Obrázek 53 je patrné, že i při velkém vstupním napětí a relativně velkém výstupním proudu (2 A) nedochází k velké teplotní ztrátě na zdroji. Maximální teplota dle simulace je u schottkyho diody – přibližně 56 °C.

Při testování fyzického zdroje bylo u navrženého měniče zjištěno několik závažných nedostatků.

- 1) Integrovaný obvod není odolný vůči zkratu na výstupu. Stačí i velmi krátké zkratování výstupu a dojde k poškození čipu. Poškození se projevilo několika způsoby. První varianta byla, že IO přestal regulovat výstup – tj. místo nastavených 3.3 V pomocí zpětné vazby došlo ke zvýšení napětí na výstupu až na hodnotu napájecího napětí. Tento případ je velmi závažný, jelikož pokud by došlo ke zkratu na již osazené DPS hotového výrobku, došlo by s největší pravděpodobností k poškození dalších komponent. Druhá varianta byla, že na výstupu DC-DC měniče bylo nulové napětí.
- 2) Navržený DC-DC měnič měl při větším zatížení (výstupní proud kolem 3 A) velmi velký šum. Při spektrální analýze výstupního napětí bylo zjištěno, že měnič velmi výrazně šumí na spínací frekvenci cca 260 kHz. Pro další použití tedy musel být navržen výstupní filtr, který by tuto nežádoucí složku odfiltroval. Návrh filtru je popsán v následující kapitole. Dále bylo zjištěno, že DC-DC měnič produkuje šum na spínací frekvenci i do vstupního zdroje, což by mohlo způsobovat problémy při paralelním spojení více DC-DC měničů, kdy by se mohly měniče vzájemně ovlivňovat, proto byl do návrhu přidán i vstupní filtr před každý měnič.

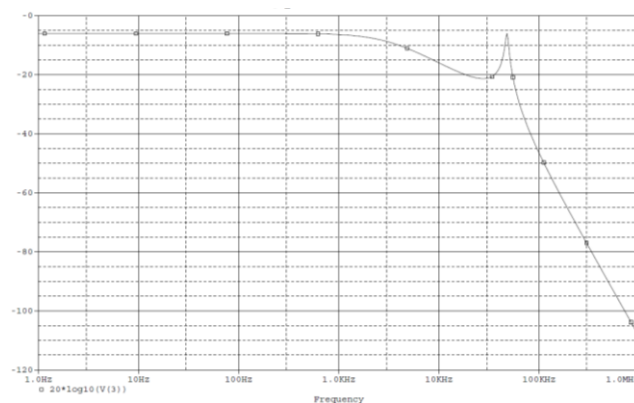
4.1.2 Návrh filtrů DC-DC zdroje

Při fyzickém testování navrženého DC-DC měniče byl zjištěn nevyhovující výstupní šum, který byl způsoben spínacím kmitočtem měniče, bylo nutné navrhnout odpovídající filtraci. Při návrhu filtru se muselo brát v potaz to, aby komponenty pro návrh filtru byly snadno dostupné a i dostačující. Při měření vzorkového zdroje byl dále zjištěn fakt, že při vyšší zátěži zdroje vzrůstá i šum přenášený zpátky do zdroje. Jelikož v návrhu bylo počítáno s paralelním spojením několika DC-DC měničů, mohlo by při nepoužití vstupních filtrů docházet ke vzájemnému ovlivňování měničů a k nepředvídatelnému chování.



Obrázek 54 : Schéma použitého PI-článku

Filtr byl navrhnout z aktuálně dostupných součástek na trhu. Z důvodu časového presu nebyly objednány tlumivky z firmy Farnell, ale použity aktuální skladové zásoby, aby bylo možné filtr ozkoušet ve fyzickém provedení. Z obchodu byla vzhledem k plošné velikosti a i maximální hodnoty proudu vybrána tlumivka o hodnotě 22 μ H/2,2 A. Kondenzátory C1 a C2 byly navrženy pomocí experimentální simulace pomocí programu SPICE. Průběh navrženého filtru je vidět na Obrázek 55.



Obrázek 55 : Závislost útlumu navrženého filtru na frekvenci

4.2 FPGA

Obvod FPGA je srdcem celého vývojového kitu. Jedná se o obvod vyráběný firmou Altera, řada Cyclone II, model EP2C35F672C8N. Ze jména modelu se dá vyčíst spousta parametrů o hradlovém poli: EP2 znamená řadu Cyclone II, C35 znamená 35 tisíc logických elementů (LE), F672 znamená pouzdro FBGA s 672 kuličkami, C8 označuje rychlost FPGA, N na konci označuje, zda je obvod RoHs kompatibilní (lead-free).

Pro vývojový kit byl vybrán obvod řady Cyclone II z několika důvodů:

- 1) Autor měl k dispozici vývojový kit včetně dokumentace s obvodem řady Cyclone II, což zjednodušovalo návrh a byla zde i jistá kontrola vůči chybám ve schématu.
- 2) Obvody řady Cyclone II jsou v dnešní době sice již zastaralé, avšak pro vývojový kit bohatě postačují.
- 3) Obvod z řady Cyclone II autor sehnal za velmi výhodnou cenu.
- 4) Obvod z řady Cyclone II pracuje na nižších frekvencích než obvody řady Cyclone III – V, což zjednodušovalo výsledný návrh vývojového kitu.

4.2.1 Parametry FPGA

Table 1. Cyclone II FPGA Family Overview

Device	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4,608	8,256	14,448	18,752	33,216	50,528	68,416
M4K RAM Blocks (4 kbits + 512 Parity Bits)	26	36	52	52	105	129	250
Embedded Memory (Kbits)	117	162	234	234	473	581	1,125
18-Bit x 18-Bit Embedded Multipliers	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4
Maximum User I/O Pins	158	182	315	315	475	450	622
Differential Channels	58	77	132	132	205	193	262
Availability	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now
Cyclone II "A" Fast On Variant (1)	Yes (3)	Industrial Automotive	Yes (2)	Industrial Automotive	N/A	N/A	N/A

Tabulka 10 : Srovnání parametrů FPGA řady cyclone II [3]

Z Tabulka 10 je patrné srovnání parametrů jednotlivých verzí hradlového pole řady Cyclone II. Červeně je v tabulce označen autorem vybraný obvod. Pro vývojový kit bylo nutné zvolit určitý kompromis. Pro větší možnosti vývojového kitu by bylo lepší použít obvod EP2C70, který má dvojnásobné množství logických elementů než vybraný EP2C35, tudíž umožňuje větší rozsáhlost projektu. Nevýhodou je ovšem fakt, že čip EP2C70 stojí ve firmě Farnell kolem 7000Kč bez DPH, autorem vybraný obvod EP2C35 stál kolem 800Kč. Tato cena je pouze z důvodu, že obvod není RoHs kompatibilní, což pro vývojový kit vůbec nevadí, avšak pro komerční aplikace by tento obvod vhodný nebyl.

Z hlediska parametrů obvod EP2C35 poslouží pro velké množství koncových aplikací, protože disponuje celkem 475² uživatelských vývodů, z nichž lze sestavit až 205 diferenciálních spojů. Obvod dále obsahuje 105 M4K buněk, což jsou buňky, které lze použít pro spoustu účelů jako vnitřní FIFO buffery, paměti stavů u sekvenčního automatu atd. Vybraný obvod je schopen pracovat až na frekvenci 155,5 MHz, což v dnešní době není mnoho, avšak pro potřeby vývojového kitu tato frekvence bohatě postačuje. Obvod dále podporuje širokou škálu vstupně/výstupních standardů jako třeba: LVDS, RSDS, mini-LVDS, HSTL, diferenciální SSTL, PCI a PCI-X 1.0, LVCMOS - (3.3 V, 2.5 V, 1.8 V a 1.5 V), LVTTL - (3.3 V, 2.5 V a 1.8 V). Z datasheetu jsou vypsány jen známější napěťové standardy. Obvod defaultně podporuje DDR2 SDRAM.

Table 3. Appropriate Configuration Devices for Cyclone II FPGAs

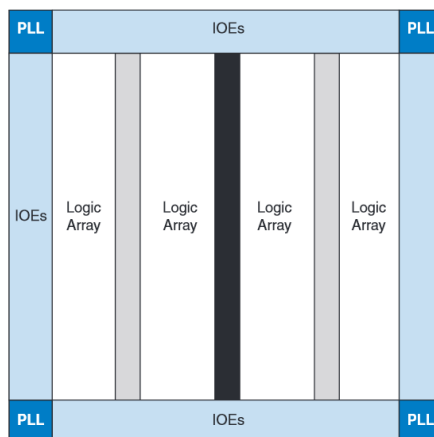
Configuration Device	Cyclone II Devices Supported						
	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
EPCS1	X						
EPCS4	X	X	X	X			
EPCS16	X	X	X	X	X	X	X
EPCS64	X	X	X	X	X	X	X

Obrázek 56 : Ukázka podpory EPCS paměti různými typy FPGA obvodů [3]

² Údaje jsou uvedeny pro pouzdro FBGA-672.

Na Obrázek 56 je zobrazena tabulka podpory velikostí EPSC paměti jednotlivými typy obvodů řady Cyclone II. Z tabulky je patrné, že autorem vybraný obvod EP2C35 podporuje paměti ECS o minimální velikosti 16Mbit.

4.2.2 Struktura FPGA



Obrázek 57 : Vnitřní blokové schéma hradlového pole řady Cyclone II [4]

Na Obrázek 57 je zobrazena vnitřní struktura hradlového pole řady Cyclone II. Hradlové pole se skládá z několika základních bloků. Množství těchto základních bloků závisí na daném typu hradlového pole. V této kapitole je stručně popsána funkce těchto základních bloků. Detailní popis funkce těchto bloků by byl na několik desítek stran.

- 1) M4K paměťové bloky
- 2) Logické propojovací pole
- 3) Vestavěné násobičky
- 4) Vstupně-výstupní obvody
- 5) PLL

4.2.2.1 M4K paměťové bloky:

M4K bloky jsou v obvodu řazeny do sloupců, které tvoří celkovou vestavěnou paměť obvodu. Celková paměť obvodu se liší dle typu obvodu. Pro zvýšení výkonu celého systému každý M4K blok obsahuje vstupní a výstupní registr s možností synchronizace na pipelining. Výstupní registr lze obejít a nepoužít, avšak vstupní registr musí být použit vždy.

Každý M4K blok může implementovat různé typy pamětí:

- Paměť s paritou
- Paměť bez parity
- RAM, ROM
- FIFO buffer

Device	M4K Columns	M4K Blocks	Total RAM Bits
EP2C5	2	26	119,808
EP2C8	2	36	165,888
EP2C15	2	52	239,616
EP2C20	2	52	239,616
EP2C35	3	105	483,840
EP2C50	3	129	594,432
EP2C70	5	250	1,152,000

Tabulka 11 : Množství dostupné paměti pro obvody řady Cyclone II [4]

Feature	Description
Maximum performance (1)	250 MHz
Total RAM bits per M4K block (including parity bits)	4,608
Configurations supported	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 (not available in true dual-port mode) 128 × 36 (not available in true dual-port mode)

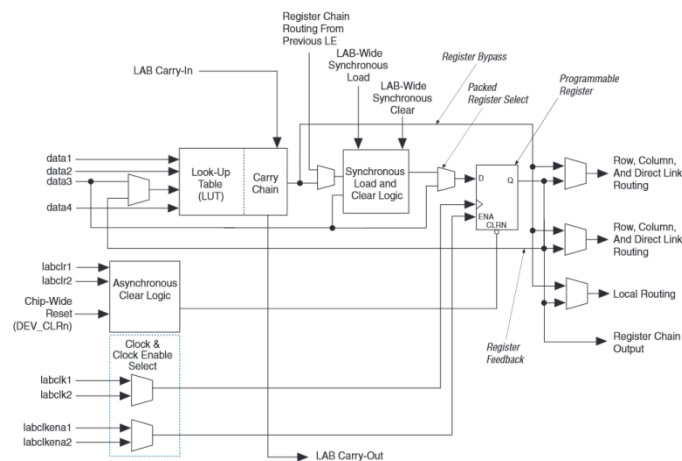
Tabulka 12 : Možnosti konfigurace bloku M4K buněk [4]

Tabulka 12 zobrazuje parametry M4K buněk a jejich možnou konfiguraci. Autorem vybraný obvod EP2C35 obsahuje celkem 105 M4K paměťových bloků, z nichž každý lze nastavit odlišně.

4.2.2.2 Logické propojovací pole

Jedno logické propojovací pole se skládá z 16 menších bloků nazývaných logické elementy (LE). Řada Cyclone II nabízí obvody s počtem logických elementů od 4 608 LE až 68 416 LE. Tyto elementy lze vzájemně propojovat a vytvářet složité logické funkce. Každý logický element obsahuje:

- 1) Čtyř-vstupou tabulku stavů (Look-Up Table), která implementuje jakoukoliv funkci čtyř proměnných.
- 2) Programovatelný registr konfigurovatelný jako registr typu D, T, JK nebo SR
- 3) Vstup/výstup carry bitu
- 4) Logický element je možné připojit ke všem typům propojení: Lokální, sloupcové, řádkové a globální



Obrázek 58 : Schéma zapojení logického elementu (LE) [4]

Logický element může pracovat ve dvou různých módech:

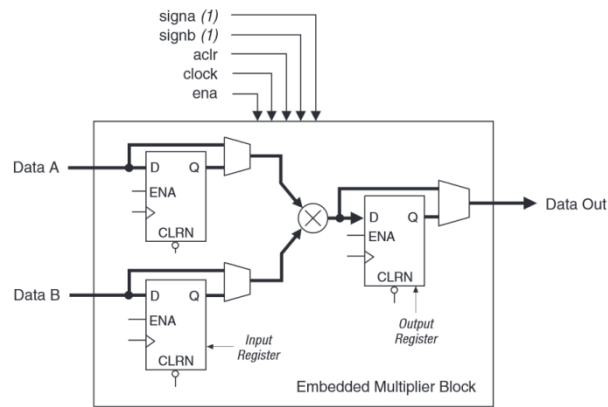
- 1) Normální mód – Používá se pro obecné logické a kombinační funkce
- 2) Aritmetický mód – Používá se pro implementaci sčítaček, čítačů, akumulátorů, komparátorů

4.2.2.3 Vestavěné násobičky

Obvody řady Cyclone II obsahují vestavěné násobičky optimalizované pro zpracování signálu, kde je požadavek na velké množství násobení jako je tomu například u FIR filtrů, FFT nebo DCT transformace. Autorem vybraný obvod obsahuje celkem 35 násobiček podporujících násobení čísel o velikosti 18x18bit.

Násobičky mohou pracovat ve dvou režimech:

- Jedna 18-bitová násobička
- Dvě nezávislé 9-bitové násobičky



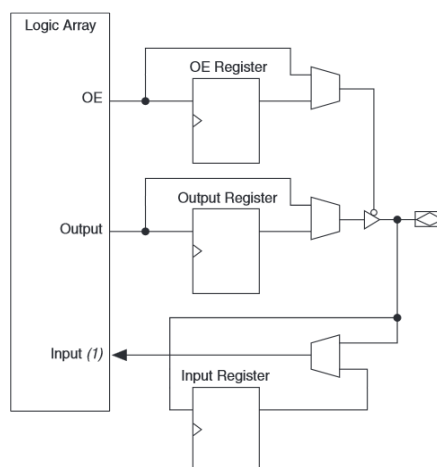
Obrázek 59 : Blokové schéma násobičky u obvodů Cyclone II [4]

Na Obrázek 59 je zobrazeno blokové schéma 18bitové násobičky. Každý operand může být označen jako znaménkový/beznaménkový, přičemž signál signX označuje, zda vstupní data jsou znaménková či nikoliv.

4.2.2.4 Vstupně-výstupní obvody

Vstupně-výstupní obvody jsou nejdůležitější komponentou v hradlovém poli. Obvody podporují velké množství funkcí:

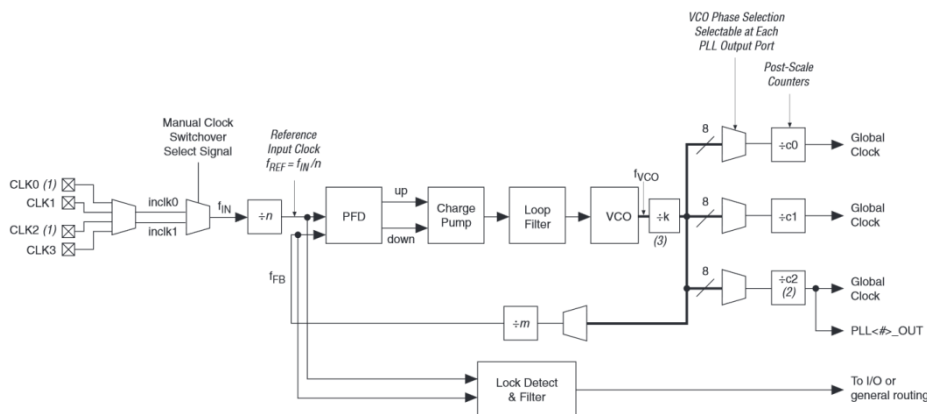
- Diferenciální a jednoduché vstupně/výstupní standardy
- 3.3V 64bit a 32bit, 33 MHz a 66 MHz PCI-X 1.0 kompatibilní
- Programovatelné pull-up rezistory
- Zdroje referenčního napětí
- Tří-stavové buffery
- Alternativní funkce jako JTAG



Obrázek 60 : Schéma zapojení vstupu/výstupu

4.2.2.5 PLL

Obvod EP2C35 obsahuje celkem 4 fázové závěsy PLL. Funkce fázových závěsů je u obvodu pro násobení a dělení hodnoty vstupního referenčního kmitočtu, generování kmitočtu pro diferenciální vstupy/výstupy, podporuje programovatelnou střidu hodinového signálu a další spoustu možností. Ve vývojovém kitu je využit pouze jeden fázový závěs PLL. Schéma zapojení fázového závěsu je zobrazeno na Obrázek 61.



Obrázek 61 : Schéma zapojení fázového závěsu PLL

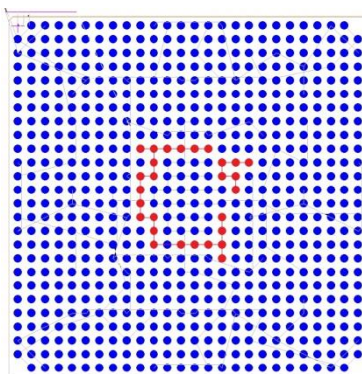
4.2.3 Schématický popis FPGA

Autorem vybrané hradlové pole EP2C35 je z hlediska návrhu rozděleno do několika základních bloků.

- Napájení jádra
- Napájení bank
- Uzemnění
- Vstupně výstupní banky
- Speciální piny

4.2.3.1 Napájení jádra

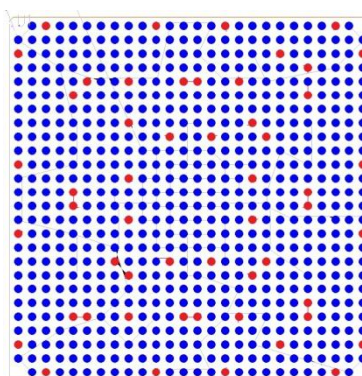
Napájení jádra hradlového pole je odlišné od napětí napájení bank a je +1.2 V. Pro napájení jádra byl zvolen lineární stabilizátor pro minimalizaci rušení, které by vznikalo při použití DC-DC měniče. Samotný lineární stabilizátor je napájen z DC-DC měniče. Na Obrázek 62 je patrné rozmístění napájecích plošek pro napájení jádra.



Obrázek 62 : Rozmístění napájecích plošek pro napájení jádra FPGA

4.2.3.2 *Napájení periferií*

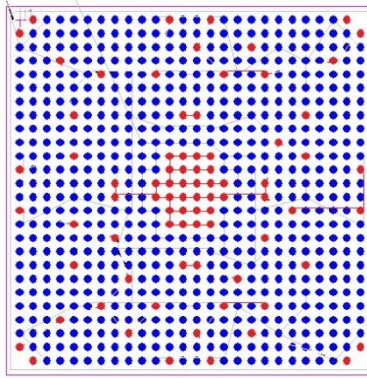
Napájecí napětí periferií může být pro každou banku jiné. V rámci jedné banky musí být ovšem napájecí napětí totožné. Pro napájení periferií je možné použít napájecí napětí 1.5 V, 1.8 V, 2.5 V, 3 V, 3.3 V. Na Obrázek 63 je patrné rozmístění napájecích plošek pro napájení periferií FPGA.



Obrázek 63 : Rozmístění napájecích plošek pro napájení periferií FPGA

4.2.3.3 *Uzemnění FPGA*

Na Obrázek 64 je patrné rozmístění napájecích plošek pro napájení periferií FPGA. V obrázku jsou vyobrazeny pouze vývody, které jsou jednoznačně definovány jako zem. Vývody, které jsou posléze připojeny k zemi, zde zobrazeny nejsou. Jedná se o piny uzemnění PLL apod.




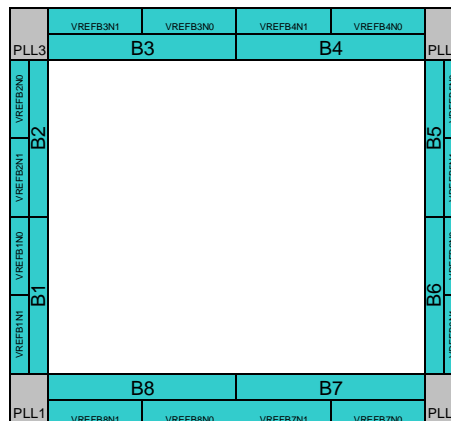
Obrázek 64 : Rozmístění zemnicích plošek FPGA

4.2.3.4 Vstupně-výstupní banky

Na Obrázek 65 je zobrazeno rozložení jednotlivých bank obvodu FPGA. Celý obvod je rozdělen na 8 bank, z nichž každá má vlastní vstup pro napájecí napětí. Tento oddělený vstup má jednu velkou výhodu – lze každou banku napájet odlišným napětím a tím zajistit napěťovou kompatibilitu pro velké spektrum obvodů.

Pro ilustraci: Banka B1 bude mít na napájecí piny přivedeno napětí +3.3 V, banka B2 bude mít napětí +1,8 V. Díky oddělenému napájení těchto bank lze tedy k bance B1 připojit obvody komunikující na napěťovém standardu 3.3V-LVCMOS a na bance B2 obvody komunikující na standardu 1.8V-LVTTL.

 Pin Information for the Cyclone™ II EP2C35 Device, ver 1.9



Notes:
 1. This is a top view of the silicon die.
 2. This is only a pictorial representation to get an idea of placement on the device.
 Refer to the pin list and the Quartus® II software for exact locations.

Obrázek 65 : Schéma vnitřního rozložení IO bank [4]

4.2.4 Popis vývodů FPGA

V této kapitole jsou popsány všechny možné piny, které FPGA řady Cyclone II, typ EP2C35 používá³. Je nutné dodržovat doporučení výrobce, které jsou uvedeny v dokumentaci a jsou dále v této kapitole popsány.

4.2.4.1 Napájecí piny

Napájecí piny jsou ve schématu označeny následujícími názvy:

- VCCINT – Označení napájecích pinů pro jádro. Připojit na +1.2 V
- VCCIO[1..8] – Označení napájecích pinů pro jednotlivé banky. Napájení musí být stejné pro všechny napájecí piny v rámci jedné banky. Napájecí napětí se liší dle IO standardu, na kterém bude banka komunikovat. Napájecí napětí se musí správně nastavit i v programu Quartus.
- GND – Označení zemních pinů
- VREF[1..8]N[0..3] – Označení vstupního referenčního napětí pro jednotlivé banky. V případě, že není vstupní reference využita, lze piny použít jako standardní I/O piny.
- VCCA_PLL[1..4] – Označení analogových napájecích pinů pro PLL. Zapojit tyto piny na napětí +1.2 V. Napětí by mělo být odděleno od digitální části kvůli menšímu rušení.
- VCCD_PLL[1..4] - Označení digitálních napájecích pinů pro PLL. Zapojit tyto piny na napětí +1.2 V.
- GNDA_PLL[1..4],GND_PLL[1..4] – uzemnění PLL.
- NC – nezapojovat

4.2.4.2 Konfigurační piny

Konfiguračními piny dochází k nastavení celého FPGA obvodu. Špatné nastavení jakéhokoliv pinu může způsobit nefunkčnost celého obvodu, proto je nutné striktně dodržovat doporučení výrobce. Konfigurační piny jsou označeny následujícími názvy:

- DCLK – Pin použitý jako zdroj hodin při nahrávání konfigurace. Jeho funkce je dvojitá, podle aktuálně zvolené konfigurace komunikace. V případě aktivní komunikace (komunikace přímo s EPCS pamětí) je tento pin nastaven jako výstup hodinového signálu. V případě pasivní komunikace (komunikace s jiným mikrokontrolérem) je tento pin nastaven jako vstup hodinového signálu. Ve

³ Následující popis je uveden pro piny využitě u pouzdra FBGA-672, u jiných pouzder mohou být některé piny pojmenované jinak či nemusí existovat.

vývojovém kitu je použita komunikace aktivní o maximální frekvenci 20 MHz. DCLK pin nesmí být nezapojený tj. ve stavu vysoké impedance. Musí být přes rezistor připojen na napájecí napětí banky nebo na zem.

- MSEL[0..1] - Konfigurační vstupy pro nastavení typu komunikace. V Tabulka 13 jsou zobrazeny možné nastavení konfiguračních pinů. Jelikož vývojový kit předpokládá zapojení paměti EPCS s externím programátorem, je použita volba AS(20 MHz). Teoreticky by se dala použít volba Fast AS(40 MHz), avšak pouze 16Mbit a 64Mbit EPCS paměti tuto možnost podporují. Vstupy MSEL nesmí být nezapojeny.

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz) (1)	1	0
JTAG-based Configuration (2)	(3)	(3)

Tabulka 13 : Konfigurační nastavení pinů MSEL [4]

- DATA0 – Vstupní datový pin pro sériovou komunikaci s EPCS paměti (v případě aktivní komunikace) nebo s externím mikrokontrolérem (v případě pasivní komunikace). DATA0 pin nesmí být nezapojený tj. ve stavu vysoké impedance. Musí být přes rezistor připojen na napájecí napětí banky nebo na zem.
- nCE – FPGA čip je aktivním případě, že pin nCE je připojen na logickou nulu. Tento pin se používá pro deaktivaci FPGA čipu v případě programování EPCS paměti. nCE pin by měl být připojen přes rezistor na logickou nulu.
- nCONFIG – Vstupní konfigurační pin. Připojením pinu na logickou nulu během uživatelského módu dojde ke ztrátě konfiguračních dat z FPGA obvodu, restartování čipu a nastavení všech I/O pinů do stavu vysoké impedance. Tento pin je používán zejména pro zastavení činnosti jádra při programování EPCS paměti. Pin nCONFIG by měl být přes pull-up rezistor o hodnotě 10 kΩ připojen na napájecí napětí +3.3 V.
- nSTATUS – Pin nSTATUS pin je v případě správného běhu uveden ve stavu logické jedničky. V případě chybné konfigurace dojde k uvedení pinu do logické nuly, čímž dojde k resetu jádra a opětovnému startu. Uživatel může tento pin uvést so stavu logické nuly externě a tím zabránit načítání konfigurace z EPCS paměti. Pin musí být připojen k napájecímu napětí +3.3 V přes rezistor o hodnotě 10 kΩ.
- TCK – pin použitý jako zdroj hodin při JTAG komunikaci. Tento pin musí být přes rezistor o hodnotě 1 kΩ připojen na zem. V případě, že JTAG není použit, připojit pin TCK na zem.

- TMS – Kontrola stavu FPGA obvodu. Pin musí být připojen k napájecímu napětí banky (VCCIO) přes rezistor o hodnotě 1 k Ω .
- TDI – vstupní datový pin pro JTAG. Pin musí být připojen k napájecímu napětí banky (VCCIO) přes rezistor o hodnotě 1 k Ω .
- TDO – Výstupní datový pin pro JTAG. Pokud není využito rozhraní JTAG, měl by být pin nezapojený.

4.2.4.3 Volitelné konfigurační piny

- nCEO – Pokud je konfigurace kompletní, výstup je nastaven do logické nuly. V případě konfigurace více zařízení je nutné, aby pin byl připojen přes rezistor o hodnotě 10 k Ω na napájecí napětí banky (VCCIO). Pokud dochází ke konfiguraci pouze jednoho FPGA zařízení, je možné tento pin nechat nezapojený nebo ho použít jako uživatelský I/O pin, který bude dostupný po konfiguraci zařízení.
- nCSO – Výstupní signál z FPGA do EPCS paměti. V případě aktivní komunikace je EPCS paměť tímto pinem povolena. nCSO pin obsahuje vnitřní pull-down rezistor. Pokud není využito aktivní komunikace, je doporučeno tento pin nezapojovat.
- ASDO – výstupní datový signál z FPGA do EPCS paměti. Pokud není využito aktivní komunikace, je doporučeno tento pin nezapojovat.
- CRC_ERROR – Pokud je tento pin nastaven do logické jedničky, došlo k detekci chyby CRC kódu v konfigurační SRAM paměti. Tento pin je aktivní pouze v případě, že je povolen blok detekce chyby CRC. Je doporučeno tento pin nezapojovat.
- INIT_DONE – Nastavení tohoto pinu do logické nuly oznamuje, že u zařízení došlo ke vstoupení do uživatelského módu. Pokud je oznámení povoleno, měl by pin být připojen přes rezistor o hodnotě 10 k Ω na napájecí napětí banky (VCCIO).
- CLKUSR - uživatelský vstup hodinového signálu, používaný pro synchronizaci funkce více zařízení. Pokud není využito alternativní funkce nebo není pin zapojen jako I/O, je doporučeno tento pin uzemnit.

4.2.4.4 Hodinové vstupy/výstupy

- CLK[0..14], LVDSCLK[0..7]p,n – Diferenciální vstupy hodinového signálu. V případě, že vstupy jsou nevyužity, lze je využít jako uživatelské vstupy. V případě, že piny nejsou využity, je nutné je uzemnit.
- PLL_OUTp,n – Diferenciální výstupy hodinového signálu od PLL. Tyto piny mohou být využity jako uživatelské vstupy/výstupy. V případě že nejsou využity, měly by zůstat nezapojené.

4.2.4.5 Uživatelské vstupy/výstupy

- LVDS[0 - 256] p,n⁴ – Diferenciální vstupy uživatelských signálů. Tyto diferenciální páry mohou být použity nezávisle na sobě jako standartní I/O piny. Pokud nejsou piny zapojeny, je možné je připojit k napájecímu napětí banky nebo k zemi. V programu Quartus je nutné dbát na to, aby byly nepoužité piny nastaveny jako vstupy s vysokou impedancí.

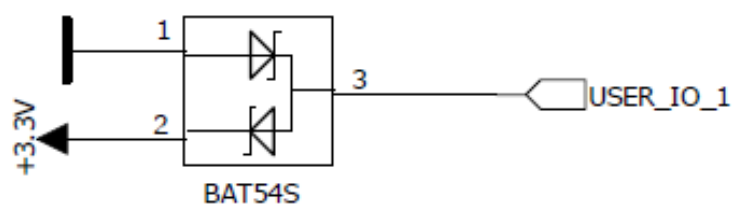
4.3 Uživatelské vstupy

Pro větší modularitu výsledného výrobku bylo nutné připojit vstupy. Tyto vstupy jsou rozděleny do několika sekcí.

- 1) Uživatelské vstupy/výstupy přes expanzní konektor
- 2) Uživatelské přepínače
- 3) Uživatelská tlačítka

4.3.1 Uživatelské vstupy/výstupy přes 40pinový expanzní konektor

Vývojový kit obsahuje celkem 32 uživatelských vstupů/výstupů zapojených tak, že mezi každou osmicí (4piny * 2 řady) pinů je zapojeno napájecí napětí +3.3V a zem. Dále je každý pin ošetřen antiparalelním zapojením Schottkyho diod (BAT54S) proti náhodnému elektrostatickému dotyku. Tyto diody dokážou ve velmi krátkém čase odvést elektrostatický náboj do uzemnění. Schématické zapojení ochrany a expanzního konektoru je uvedeno níže.



Obrázek 66 : Schématické zapojení ochrany vstupu č. 1

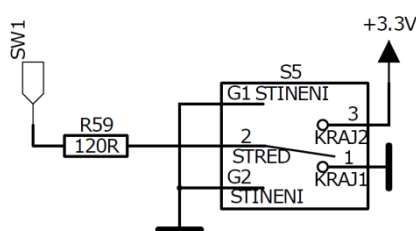
Na Obrázek 66 je zobrazeno schématické zapojení ochrany vstupu č. 1. Pro ostatní vstupy je zapojení totožné. Toto zapojení má za úkol ochránit vstupní pin FPGA obvodu před nechtěným elektrostatickým dotykem.

⁴ 256 diferenciálních kanálů je maximální hodnota a pouze pro některé obvody. Skutečný stav se liší podle aktuálního pouzdra a typu obvodu.

FPGA podporuje sériové impedanční přizpůsobení externím rezistorem, proto bylo této možnosti využito a do série všech vstupně výstupních pinů byl zapojen rezistor o hodnotě 50 Ohmů.

4.3.2 Uživatelské přepínače

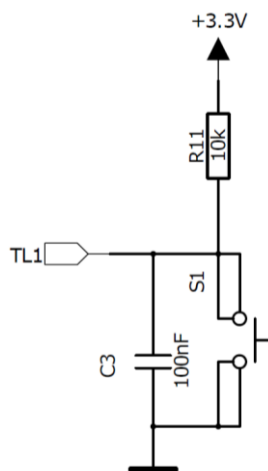
Vývojový kit obsahuje celkem 4 uživatelské přepínače, na DPS označené jako SW1 až SW4. Tyto přepínače dle volby uživatele připojí na vstup FPGA logickou jedničku, která je ekvivalentní napěťové hodnotě +3.3 V nebo logickou nulu, která je ekvivalentní napěťové hodnotě 0 V. Na Obrázek 67 je patrné schématické zapojení přepínače SW1. Toto zapojení je shodné pro ostatní přepínače.



Obrázek 67 : Schématické zapojení uživatelského přepínače SW1

4.3.3 Uživatelská tlačítka

Vývojový kit obsahuje celkem 4 uživatelská tlačítka, na DPS označené jako TL1 až TL4. Tyto tlačítka mají v klidovém (nestisknutém) stavu napěťovou hodnotu +3.3 V. U tlačítek je paralelně připojen keramický kondenzátor o hodnotě 100 nF kvůli ošetření zákmitů při stisku nebo puštění tlačítka. Schématické zapojení tlačítek je na Obrázek 68. Toto zapojení je shodné pro všechny tlačítka.



Obrázek 68 : Schématické zapojení uživatelského tlačítka

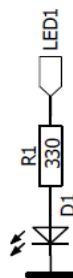
4.4 Uživatelské výstupy

Pro větší modularitu výsledného kitu je nutné připojit dostatečné množství uživatelských výstupů. Tyto uživatelské výstupy jsou rozděleny do několika kategorií:

- 1) Uživatelské LED diody
- 2) Uživatelsky ovládané sedmissegmentové displeje
- 3) LCD displej 2x16 znaků

4.4.1 Led diody

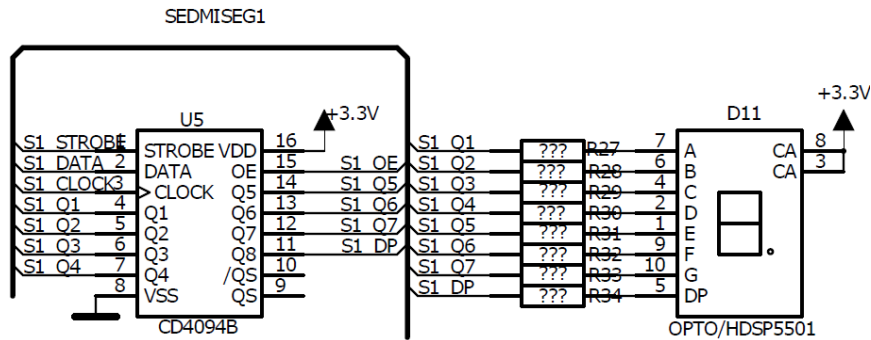
Vývojový kit obsahuje celkem 6 uživatelsky ovládatelných LED diod. 4 Led diody jsou umístěny poblíž uživatelských přepínačů, zbylé 2 diody jsou umístěny mezi sedmissegmentovými displeji pro případné věrohodnější zobrazení blikání hodin. Diody jsou spínány přímo výstupem FPGA obvodu a k jejich rozsvícení postačí uvést daný vývod do logické jedničky, které je ekvivalentní hodnota +3.3 V. Na Obrázek 69 je patrné zapojení uživatelských LED diod. Pro ostatní diody je zapojení totožné.



Obrázek 69 : Schéma zapojení uživatelských LED diod

4.4.2 Sedmissegmentový LCD displej

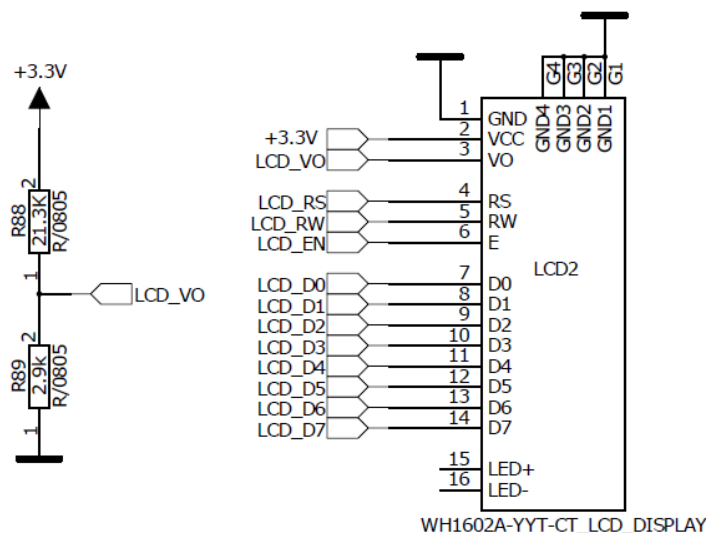
Vývojový kit obsahuje celkem 4 sedmissegmentové displeje, které jsou na sobě nezávislé. Každý ze čtyř sedmissegmentových displejů má společný kladný pól diod a je ovládán pomocí posuvného registru od firmy Texas Instruments, typ CD4094. Pokud tedy chce uživatel daný segment u displeje rozsvítit, musí do posuvného registru zapsat logickou nulu na odpovídající pozici. Na Obrázek 70 je patrné zapojení jednoho ze čtyř sedmissegmentových displejů.



Obrázek 70 : Zapojení sedmisegmentového displeje

4.4.3 LCD displej 2x16 znaků

Vývojový kit obsahuje možnost připojení LCD displeje 2x16 znaků. Tento displej je z důvodu úspory místa na DPS zapojen do patice a po připojení dojde k zakrytí sedmisegmentových displejů, avšak fyzicky je nevyřadí z provozu. LCD displej je použit se standardním řadičem Hitachi HD44780 a z důvodu úspory energie a místa na DPS je bez podsvícení. Z důvodu napěťové kompatibility s FPGA je nutné použít LCD displej podporující logické úrovně s hodnotou +3.3V. Standardní prodávané LCD displeje mají totiž napěťové úrovně +5 V a hodnota +3.3V je již mimo toleranční pole. Ovládání displeje je možné po 4bitové i 8bitové sběrnici. Zapojení LCD displeje je dle doporučení výrobce. Napěťovým děličem se nastavuje kontrast displeje a je navržen dle doporučené hodnoty. Schéma zapojení je na Obrázek 71.



Obrázek 71 : Schéma zapojení LCD displeje

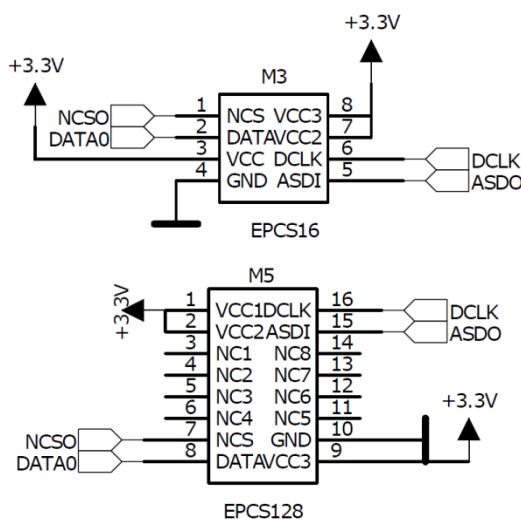
4.5 Paměti

Vývojový kit obsahuje celkem 3 paměti. 2 paměti jsou uživatelsky přístupné bez omezení – Flash a SDRAM. Paměť EPCS slouží jako programová paměť pro FPGA kit a uživatel nemá možnost do paměti bez použití programátoru cokoliv zapsat či vyčíst.

- 1) EPCS paměť
- 2) SDRAM
- 3) FLASH

4.5.1 EPCS paměť

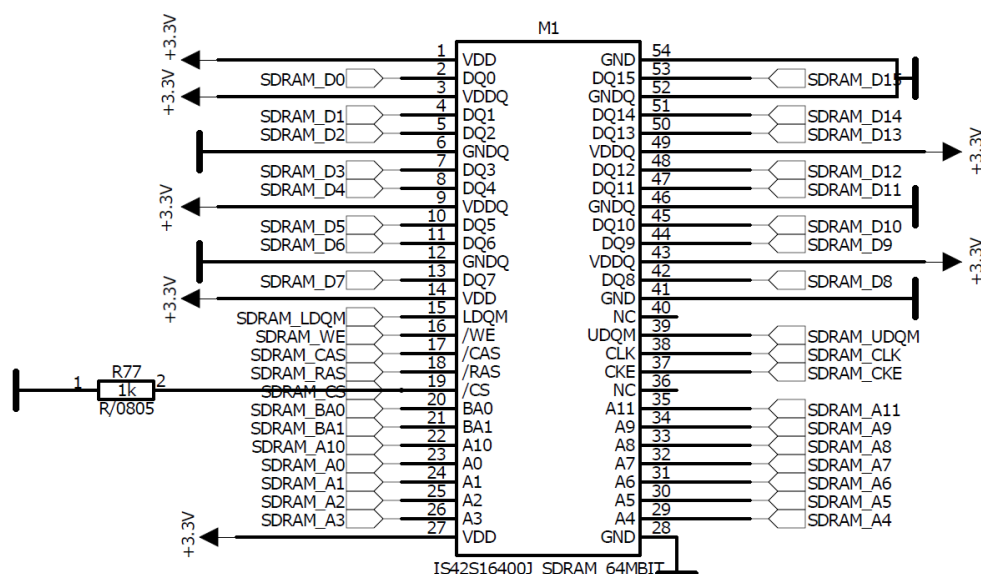
Paměť EPCS je specializovaný obvod nativně kompatibilní s obvody firmy Altera. Fyzicky se jedná o sériovou FLASH paměť, která podporuje komunikační standart používaný firmou Altera. Paměť slouží jako programová paměť pro FPGA obvod. FPGA po zapnutí začne automaticky načítat data z této paměti – jedná se vlastně o soubor instrukcí, které definují vnitřní strukturu FPGA obvodu. Paměť je nutné korektně připojit na definované piny u FPGA. Vývojový kit obsahuje celkem dvě patice na EPCS paměti – pouzdro SOIC8 a SOIC16. Tyto dvě pouzdra jsou z důvodu možné výměny paměti (přepájení) za vhodnější. Paměti EPCS se vyrábí ve velikostech 1,2,4,8,16,64 a 128Mbit z čehož velikosti 1,2,4,8 a 16 jsou dostupné pouze v pouzdru SOIC8, 64 a 128Mbit jsou dostupné pouze v pouzdru SOIC16. Ve vývojovém kitu smí být zapojena pouze jedna EPCS paměť.



Obrázek 72 : Schéma zapojení EPCS paměti

4.5.2 SDRAM paměť

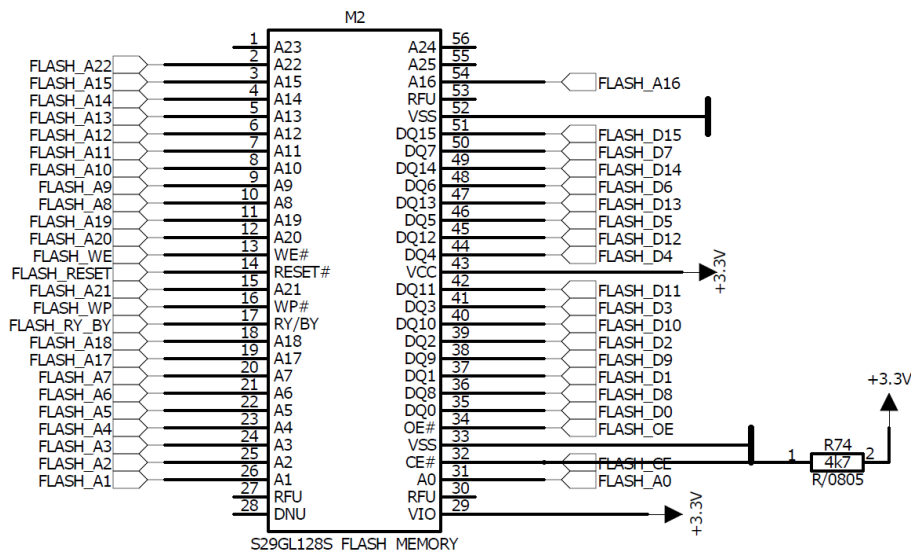
Ve vývojovém kitu je použita paměť SDRAM DDR od výrobce ISSI, typ IS42S16400J. Velikost paměti je 64 Mbit. Maximální pracovní frekvence této paměti je 200MHz což je pro vývojový kit dostačující. Rozložení paměti je 1Mbit x 16bit sběrnice x 4 banky. Vlastní výběr paměti probíhal tak, aby byly při výsledném testování eliminovány možné problémy s kompatibilitou, proto byla použita paměť, která je použita u vývojového kitu prodávaného firmou Altera, označovaného jako DE2. Díky tomuto faktu je zaručena kompatibilita a do budoucna i menší problémy při implementaci systému NIOS do vývojového kitu navrženého autorem této práce. Zapojení paměti, které je zobrazeno na Obrázek 73 není složité, k funkci paměti je nutný pouze jeden externí rezistor zapojený jako pull-down pro povolení čipu. Po zapnutí vývojového kitu je paměť defaultně povolena. Jako zdroj hodin pro paměť SDRAM je využito výstupu fázového závěsu z FPGA obvodu.



Obrázek 73 : Zapojení paměti SDRAM

4.5.3 FLASH paměť

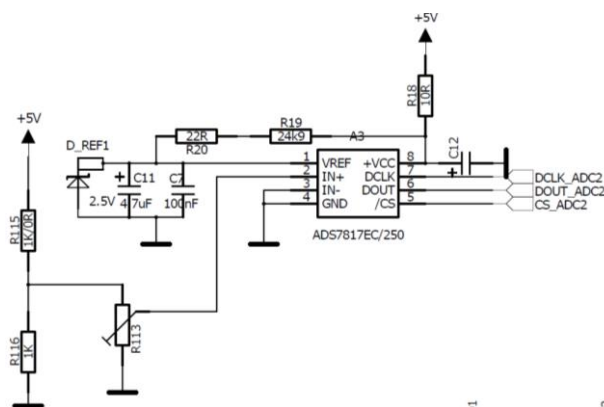
Vývojový kit obsahuje jednu uživatelsky přístupnou FLASH paměť. Paměť byla vybrána od výrobce SPANSION, typ S29GL18S, s kapacitou 128 Mbit. Takto velká kapacita byla vybrána pro případný program softprocesoru NIOS. Vlastní výběr paměti probíhal tak, aby nebyl problém s kompatibilitou a také, aby daný typ paměti softprocesor NIOS podporoval. Paměť tedy byla zvolena podobná, jaká je umístěna na vývojovém kitu DE2, avšak s větší paměťovou kapacitou. Paměť obsahuje 16 bitovou datovou sběrnici, velikost sektoru je 128 kbyte. Zapojení paměti je na Obrázek 74. K paměti je potřeba pouze jeden externí rezistor zapojený jako pull-up rezistor pro povolení čipu. Po zapnutí vývojového kitu je paměť defaultně zakázána.



Obrázek 74 : Zapojení paměti FLASH

4.6 AD převodníky

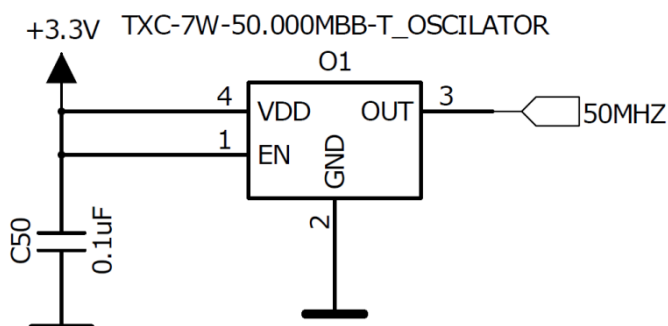
Vývojový kit obsahuje celkem dva AD převodníky. Zapojení převodníků je totožné, avšak liší se pouze v možnosti připojení vstupu. První převodník má vstup připojen na lámací lištu a je možné k němu připojit externí napětí. Druhý převodník je zobrazen na Obrázek 75. Tento převodník má na svém vstupu připojený trimr tvořící napěťový dělič. Napájení trimru je také přes napěťový dělič. Tento dělič je zde z důvodu použití převodníku, který má vstupní referenci +2,5V.



Obrázek 75 : Zapojení ADC převodníku

4.7 Zdroj hodin

Jako hlavní zdroj hodin je použit oscilátor od firmy TXC. Oscilátor pracuje na frekvenci 50 MHz. Oscilátor potřebuje pro svou funkci externí keramický kondenzátor o hodnotě 0.1 μF .



Obrázek 76 : Schéma zapojení zdroje hodin pro FPGA

4.8 Ethernet

Vývojový kit obsahuje ethernetový převodník. Tento převodník je postaven na integrovaném obvodu DM9000B firmy Davicom. Zapojení převodníku je kvůli jeho rozsáhlosti zobrazeno v příloze. Převodník je s obvodem FPGA spojen přes 16bit sběrnici. Převodník je řízen externím krystalem s frekvencí 25 MHz. Zapojení celého převodníku je převzato z technické dokumentace.

5 Oživení vývojového kitu

5.1 Osazení a pájení

5.1.1 Integrované obvody

Ve školních podmínkách je takřka nemožné správně zapájet srdce vývojového kitu – FPGA s pouzdem FBGA-672. Základním problémem je nanášení pájecí pasty a osazení obvodu před pájením na správné místo. Toto osazení může být s přesahem maximálně \pm půl plošky, což je u pouzdra FBGA-672 $\pm 0,25\text{mm}$. Dalším problémem je samotné pájení. Při zakoupení obvodu byl integrovaný obvod zaslán neuzavřený proti vlhkosti. Při pájení by poté zřejmě došlo k tzv. popcorn efektu a zničení celého obvodu. Navíc po zapájení nelze zjistit, zda nejsou některé vývody vyzkratované. Z výše uvedených důvodů bylo zvoleno pájení obvodů ve specializované firmě.

Zapájení obvodů bylo provedeno ve firmě HC Electronic sídlící v Hradci Králové. Výhody této firmy byly patrné na první pohled – velkovýroba elektronických obvodů včetně BGA pouzder, široký výběr planžet pro nanesení pájecí pasty a také velká vstřícnost vedení. Při dotazu, zda je možné ve firmě zapájet kusový výrobek, bylo sděleno, že není problém, jen je potřeba zaslat výrobní podklady pro přípravu pájení – zjištění, zda mají planžety pro daná pouzdra. Všechny planžety pro obvody, které byly použity, měli skladem, tudíž výsledná cena zapájení byla mnohem nižší. Jediný požadavek pro zapájení bylo pozlacení všech plošek.

Odvoz DPS a součástek byl proveden osobně z důvodu kontroly desky. Při předání desky bylo sděleno, že pájení bude trvat cca týden z důvodu otevřených obalů obvodů a možného navlhnutí. Před zapájením bylo nutné součástky týden vysoušet. Pro zapájení byly zvoleny integrované obvody: FPGA, SDRAM, FLASH, Ethernetový řadič a převodník USB↔RS232. Problém nebyl při pájení ani jedné součástky. Při pájení mohl nastat problém s pájecí pastou, která by se mohla roztéct po větších pájecích ploškách, které byly vytvořeny záměrně pro snazší ruční pájení a tím znemožnit pájení strojní. Po zapájení byla provedena kontrola rentgenem pro případné odhalení zkratů. Celková cena zapájení 5ks integrovaných obvodů byla velmi dobrých 388 Kč včetně DPH.

5.1.2 Oživení napájení

Oživení napájení bylo jednou z prvních zapájených částí vývojového kitu. Pro napájení jsou použity DC-DC měniče, takže bylo nutné zkontrolovat, zda je výstupní napětí v pořádku. V případě, že by došlo k záměně jakékoliv součástky z obvodu DC-DC měniče, dojde ke změně výstupního napětí. Obvod FPGA je rozsah napájecího napětí a stabilitu velmi náchylný, proto bylo před samotným finálním návrhem provést zkušební vzorek napájecího zdroje. Napájecí zdroj byl ozkoušen a bylo zjištěno několik závažných nedostatků. Tyto nedostatky byly bohužel přímo již v řídicím obvodu DC-DC měniče.

Prvním problémem byl fakt, že pokud došlo k byť jen k malému zkratu na výstupu, došlo ke zničení řídicího obvodu. Tento problém je popsán v kapitole o návrhu DC-DC měniče (kapitola 4.1.1). Dalším problémem byl velký šum, produkovaný spínacím obvodem. Tento šum byl na frekvenci 260 kHz a bylo nutné ho odstranit. Při návrhu byl tedy navrhnout filtrační PI-článek, který je připojen na vstupu napájecího napětí z adaptéru. Na vstup je připojen z důvodu možného vzájemného ovlivňování DC-DC měničů připojených paralelně. Stejný filtr byl připojen i na výstup. Při měření na finálním vývojovém kitu bylo ovšem zjištěno, že při vyšším odběru (nad 1,5A) dochází k výraznému šumění výstupního filtru na frekvenci cca 15 kHz, což bylo patrné i při simulaci. Změnou hodnoty kondenzátorů z 10 μF na 1 μF dojde k posunutí rezonanční frekvence nad slyšitelné pásmo. Ve finální verzi jsou prozatím použity kondenzátory s hodnotou 10 μF z důvodů lepších parametrů filtru.

V případě, že dojde k použití součástek pro DC-DC měnič s dostatečnou přesností a doporučených přímo výrobcem integrovaného obvodu LM22677, bude zdroj pracovat na první zapájení.

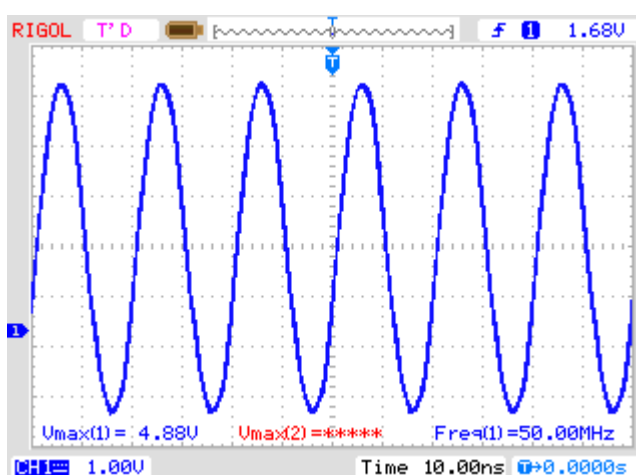
5.1.3 Ostatní součástky

S ostatními součástkami by při pájení neměl být problém. Kritické součástky byly zapájeny odbornou firmou. Při pájení byla ovšem zjištěna kritická chyba při návrhu, kde došlo vlivem nepozornosti k prohození vývodů oscilátoru 50 MHz. Oscilátor byl opraven pomocí drátků, což působí trochu nevzhledně, avšak při prototypovém vzorku se s takovýmito chybami počítalo. Ve výsledném návrhu je již chyba opravena.

5.2 Oživení FPGA

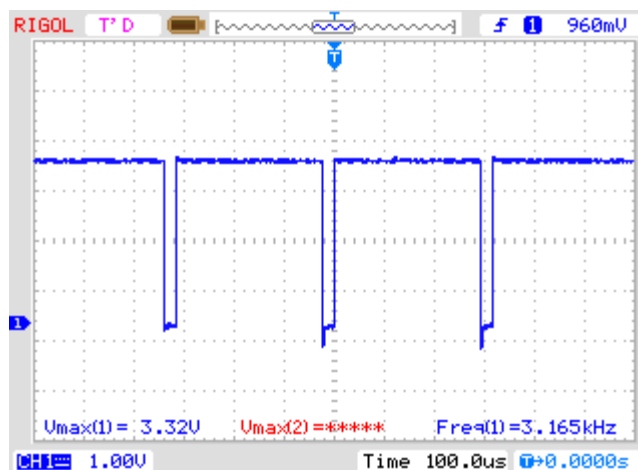
Po připojení napájení jádra (+1.2 V) a bank (+3.3 V) by mělo FPGA začít pracovat. Díky absenci konfiguračního souboru v paměti EPCS ovšem nebude činnost FPGA vidět. Pro zjištění činnosti je nutný osciloskop.

Prvním bodem pro měření je výstup oscilátoru. Správný průběh je zobrazen na Obrázek 77.



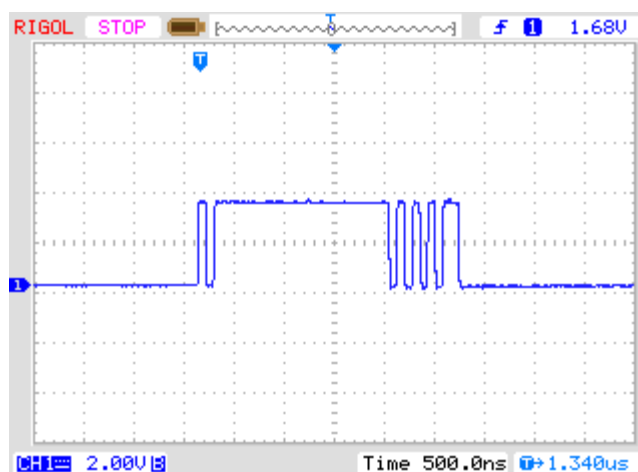
Obrázek 77 : Průběh generovaného signálu pro FPGA z oscilátoru 50 MHz

Dalším místem pro kontrolu je nyní rezistor ve schématu označený R82 s hodnotou 10 k Ω . Tento rezistor je umístěn na straně BOTTOM přímo pod obvodem FPGA. Při prázdné EPCS paměti bude na tomto rezistoru vidět snaha FPGA o načtení konfiguračního programu. V případě absence nebo chyby konfigurace dojde k resetu jádra FPGA, což se projeví logickou nulou na vývodu nSTATUS. Průběh napětí na tomto pinu je zobrazen na Obrázek 78.

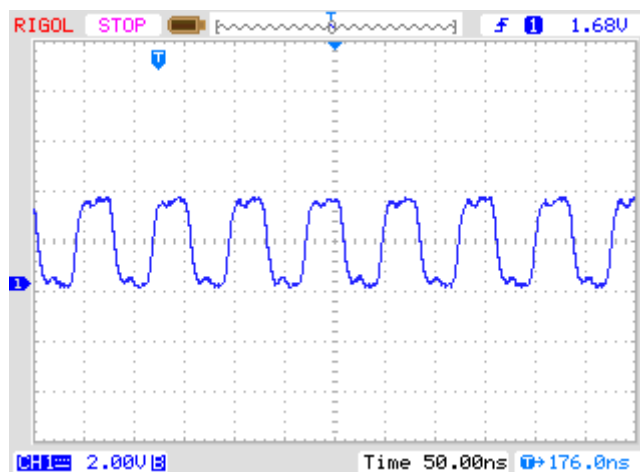


Obrázek 78 : Průběh signálu nSTATUS při prázdné paměti EPCS

Posledním místem, kde lze zjistit činnost FPGA s prázdnou EPCS pamětí, je přímo na vývodech paměti. Po zapnutí jádro FPGA začne komunikovat s EPCS pamětí. Tuto komunikaci lze zachytit a zjistit zda je jádro i paměť EPCS v pořádku. Ukázky snímků komunikace s EPCS pamětí jsou zobrazeny na Obrázek 79 a na Obrázek 80.



Obrázek 79 : Průběh signálu na pinu 5 (ASDI) paměti EPCS



Obrázek 80 : Průběh hodinového signálu na pinu 6 (DCLK) paměti EPCS

Z výše uvedených průběhů lze odvodit fakt, že je FPGA obvod jako celek funkční. Pro otestování ostatních periférií je nutné do paměti EPCS nahrát konfigurační soubor.

6 Nahrání programu

Pro tvorbu ukázkového programu je nutné mít nainstalovaný program quartus. Tento program je určen přímo pro FPGA Altera. Tato práce se nezabývá tvorbou programu ani programem Quartus, proto jsou zmíněny pouze postupy nahrání zkompilované konfigurace a její spuštění na FPGA.

6.1 Programování FPGA pomocí komerčního programátoru

Existují celkem dvě cesty jak FPGA naprogramovat. Pro programování je nutné použití programátoru kompatibilního s programem Quartus, případně autorem této práce vytvořeného programátoru. Pro programování je dále použit komerční programátor s názvem Terrasic USB Blaster. Jedná se relativně levný programátor s cenou 50 \$. Programátor podporuje širokou škálu obvodů od firmy Altera. K počítači je programátor připojen přes rozhraní USB. Nahrání konfigurace do obvodu FPGA může být uskutečněno pomocí tří možností:

- 1) JTAG rozhraní
- 2) Active-serial rozhraní
- 3) Pasive-serial rozhraní

Rozložení konektů na DPS

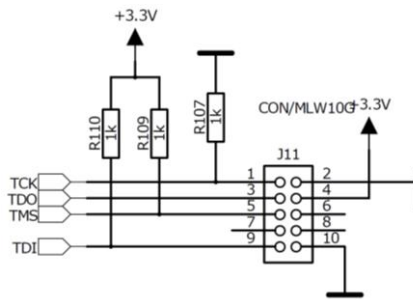
Na Obrázek 81 je zobrazeno správné rozložení programovacích konektorů. Na DPS v 1.0 jsou konektory špatně označeny (prohozené popisky). V případě programování pomocí JTAG rozhraní, stačí připojit programátor ke konektoru označenému na obrázku červenou barvou. Konektor pro Active-serial rozhraní je zobrazen na obrázku fialovou barvou.



Obrázek 81 : Umístění programovacích konektorů na DPS

6.1.1 JTAG rozhraní

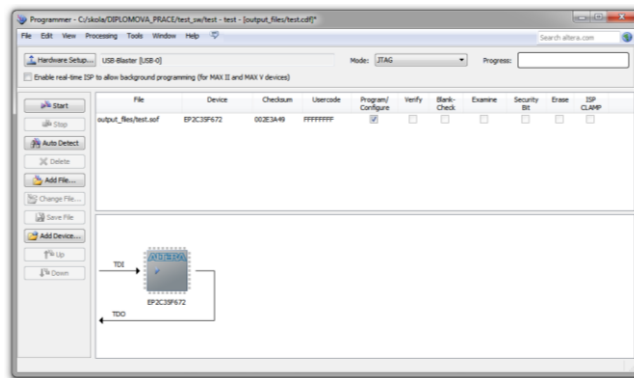
Pomocí JTAG rozhraní je možné programovat a debugovat program přímo v jádře FPGA. V tomto případě není ani nutná EPCS paměť. Program je ovšem po výpadku napájení nenávratně ztracen a musí být do jádra nahrán znovu. Na Obrázek 82 je zobrazeno elektrické zapojení JTAG rozhraní.



Obrázek 82 : Zapojení JTAG konektoru

6.1.1.1 Nastavení v programu Quartus

Po kliknutí na tlačítko programování je nutné nastavit správně programovací parametry. Prvním parametrem je typ komunikace. Vývojový kit je navržen pro možné komunikace přes rozhraní JTAG nebo přímo naprogramované paměti EPCS. Rozložení konektorů na DPS je zobrazeno na Obrázek 81. Na Obrázek 83 je zobrazeno nastavení pro programování obvodu FPGA přes rozhraní JTAG. V případě, že je programováno zařízení přes rozhraní JTAG je nutné použít programovací soubor s koncovkou *.SOF. Při správném zapojení a funkci JTAG rozhraní je zobrazen typ programovaného obvodu.



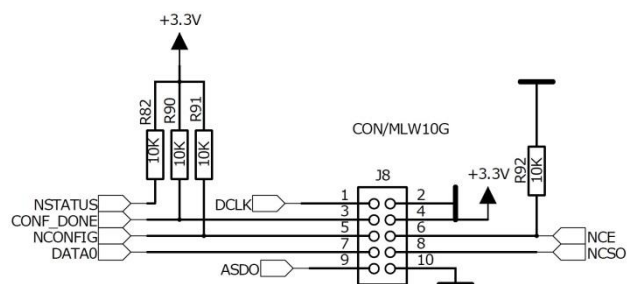
Obrázek 83 : Nastavení pro programování přes rozhraní JTAG

6.1.1.2 Spuštění programu

Ke spuštění jádra dojde ihned po naprogramování jádra, není nutné dále nic nastavovat. Po vypnutí napájení dojde ke ztrátě nahrené konfigurace.

6.1.2 Rozhraní Active-serial

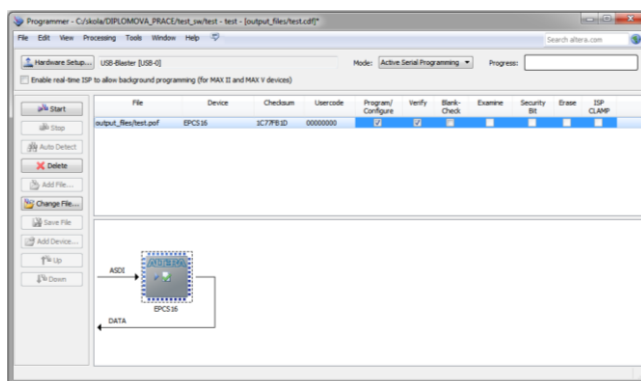
Rozhraní active-serial se používá při nahrávání konfigurace přímo do EPCS paměti. Výhodou oproti JTAG rozhraní je fakt, že po zapsání konfigurace do paměti EPCS je konfigurace trvalá. Při vypnutí a zapnutí napájení si FPGA obvod sám načte konfigurační nastavení a spustí se naprogramovaná konfigurace. Není tedy nutný jakýkoliv zásah uživatele či externí zařízení.



Obrázek 84 : Zapojení active-seriál konektoru

6.1.2.1 Nastavení v programu Quartus

Po kliknutí na tlačítko programování je nutné nastavit správně programovací parametry. Prvním parametrem je typ komunikace. Vývojový kit je navržen pro možné komunikace přes rozhraní JTAG nebo přímo naprogramované paměti EPCS. Rozložení konektorů na DPS je zobrazeno na Obrázek 81. Na Obrázek 85 je zobrazeno nastavení pro programování obvodu FPGA přes rozhraní Active-serial. V případě správného připojení programátoru dojde při spojení s paměti EPCS rovnou k identifikaci. Pro programování se používá vygenerovaný soubor *.POF.



Obrázek 85 : Nastavení pro programování přes rozhraní Active-serial

6.1.2.2 Spuštění programu

Ke spuštění jádra dojde ihned po naprogramování jádra, není nutné dále nic nastavovat. Po vypnutí a opětovném zapnutí napájení dojde k automatickému nahrání konfigurace do jádra obvodu FPGA.

6.1.3 Pasive-serial rozhraní

Pasive-serial rozhraní není ve vývojovém kitu využito. Hlavní rozdíl od active-serial je fakt, že jako řídicí obvod není FPGA, ale externí mikrokontrolér, který řídí nahrávání do obvodu FPGA. Tato možnost jde zvolit pouze při návrhu zařízení vhodnou konfigurací pinů MSEL1 a MSEL0. Komerční programátor USB BLASTER tento mód podporuje.

6.2 Použití vytvořeného programátoru

Programování pomocí navrženého programátoru má několik nevýhod. První nevýhodou je skutečnost, že programátor nebyl konstruován pro programování pomocí JTAG rozhraní, tudíž není možné debuggování programu. Při návrhu bylo počítáno pouze s programováním EPCS paměti a na tuto paměť se autor zaměřil. V případě, že by se někdo v budoucnu chtěl zabývat debuggováním a programováním obvodu FPGA přes rozhraní JTAG, je to možné po změně komunikačního programu a programu v mikrokontroléru AVR. Při návrhu DPS došlo k chybě návrhu programovacího konektoru a je nutné v prototypové verzi používat redukci. Konektor v opravené verzi programátoru je již plně kompatibilní s vývojovým kitem a je shodný s komerčním programátorem USB Blaster. Další, podstatnější nevýhodou je nekompatibilita se soubory vytvořenými programem Quartus. Jedná se o soubor *.POF, který je určen pro zapsání do paměti EPCS. Tato nevýhoda byla zmenšena na pouze jeden krok, kterým je spuštění skriptu od Quartusu a vytvoření souboru *.RPD (RAW Programming Data).

6.2.1 Vytvoření souboru RPD

K vytvoření souboru, který může být nahrán do paměti EPCS je nutné použití příkazového řádku. Velmi stručně je postup vytvoření popsán v [15] v odkazu RAW programming data.

Převod souboru *.pof na *.rpd je proveden přes skript, který je umístěn ve složce s programem Quartus. Soubor quartus_cpf.exe je uložen ve složce: altera\“verze“\quartus\bin\. Pro převod na soubor *.rpd je nutné použití příkazového řádku a spuštění skriptu s následujícími parametry.

```
quartus_cpf -c adresa_zdroje.pof adresa_cile.rpd
```

Při úspěšném převodu souboru dojde v konzoli k vypsání hlášky:

```
„info: Quartus 32bit Convert_programming_file was successful. 0 errors, 0  
warnigs.“
```

Po převodu je na zadané adrese vytvořen soubor, který lze zapsat pomocí navrženého programátoru.

6.2.2 Programování

Naprogramování převedeného souboru je velmi jednoduché. Programátor je nutné připojit ke konektoru s popisem EPCS prog. POZOR! Prototypová deska (v. 1.0) má prohozené popisky konektorů (JTAG a EPCS prog), proto se programátor musí připojit ke konektoru s popisem JTAG. V případě prohození konektorů se ovšem uživatel nemusí obávat zničení programátoru ani vývojového kitu, jen nebude fungovat komunikace.

Pro ověření, že je programátor správně připojen, stačí spustit ovládací konzoli a přečíst ID paměti. V případě, že je vše v pořádku spojeno, dojde do konzole k vypsání typu zjištěné paměti. Programátor v prototypové verzi nepodporuje zjištění typu paměti EPCS 128Mbit.

6.2.2.1 Postup zápisu souboru do paměti

Pro programátor je nutné mít vytvořený soubor s koncovkou RPD. Postup vytvoření je uveden v předešlé kapitole. Jako první je nutné smazat celou paměť EPCS příkazem „erase_all“. Délka mazání paměti se pohybuje v závislosti na velikosti paměti od několika sekund (EPCS1) až po několik desítek sekund (EPCS64 a EPCS128). Po provedení vymazání paměti dojde do konzole k vypsání hlášky „ERASED“. Dále je nutné z paměti EPCS vyčíst její typ pomocí příkazu „get_SID“. Po typu připojené paměti je možné zjistit i stav paměti. Stav paměti se zjistí příkazem „read_status“. Tento příkaz přečte stavový registr a pro uživatele dekóduje její stav. V případě, že paměť má uzamčené některé sektory, nejsou tyto sektory smazány ani příkazem „erase_all“ a je nutné sektory ručně odemknout zapsáním statusu „write_status:2“. Tento příkaz odstraní všechny pojistky proti přepsání a zároveň povolí zápis do paměti. Ve finální verzi bude zápis statusu do paměti přepracován, aby nebylo nutné zadávat „náhodná“ čísla. V případě, že nebylo nijak zasahováno do statusu paměti, je nutné povolit zápis do paměti příkazem „write_enable“. Po provedení těchto příkazů je možné již zapisovat data do paměti EPCS.

- 1) Smazání paměti EPCS příkazem „erase_all“
- 2) Zjištění velikosti připojené paměti – „get_SID“
- 3) Zjištění statusu paměti na uzamčené sektory – „read_status“
- 4) Povolení zápisu do paměti – „write_enable“
- 5) Zápis do paměti – „write_memory“

6.2.2.2 Postup čtení dat z paměti EPCS

Postup čtení dat z paměti EPCS je velmi jednoduchý. Nejdůležitějším příkazem je zjištění velikosti paměti pomocí příkazu „get_SID“. V případě, že nebude přečten typ paměti, programátor zobrazí chybovou hlášku a data z paměti nepřečte.

- 1) Zjištění velikosti připojené paměti – „get_SID“
- 2) Přečtení dat z paměti – „read_memory“

7 Závěr

V teoretické části práce je rozebrána problematika návrhu desek plošných spojů s ohledem na BGA pouzdra, jejich osazování a pájení. Dále teoretická část popisuje přípravu výroby DPS od vygenerování podkladových materiálů z programu PADS a zadání výroby do výrobní firmy přes metody výroby plošných spojů výrobcem až k osazení plošných spojů. Detailněji je v práci rozebrána problematika osazování BGA pouzder včetně jejich pájení a případných oprav.

Praktická část práce je rozdělena na dvě části. V první části byl vytvořen prototyp programátoru hradlových polí od firmy Altera. Tento programátor není v době psaní této práce ještě 100% funkční. Problém je zejména ve velké chybovosti přenosu dat. Tato chybovost je dle mínění autora způsobena nevhodnou volbou taktovací frekvence mikrokontroléru AVR. Zdrojem taktovací frekvence je převodník FTDI, který dokáže generovat pouze předem dané kmitočty, z nichž žádný není vhodný pro sériovou komunikaci. Pro otestování této domněnky je ovšem nutné vyleptat a zapájet opravenou DPS s externím krystalem. Ke stávající DPS již není možné externí krystal připojit z důvodu poškození spojů. V případě, že bude chyba způsobena nevhodnou taktovací frekvencí je možné tento programátor uvést do plné funkčnosti do cca jednoho týdne.

Stěžejní částí této práce byl návrh vývojového kitu s FPGA od firmy Altera. Pro hradlové pole byla navržena deska plošných spojů o rozměrech 125x200 mm. Vývoj této desky trval cca půl roku a výsledkem je šesti vrstvá DPS, která je vyrobitelná pomocí služby POOL servis ve firmě PragoBoard. V DPS je použit obvod FPGA řady Cyclone II. Tento obvod se vyrábí v pouzdru FBGA-672, což je pouzdro s maticí 26x26 cínových kuliček s roztečí 1mm a průměrem kuličky 0,6mm. Pouze schématický návrh a návrh pouzdra obvodu FPGA zabral několik dní, než byla součástka korektně navržena. V DPS byly použity spoje o tloušťce 0,15mm s izolační vzdáleností 0,15 mm a prokovené otvory skrz celou DPS o vrtaném průměru 0,3mm. Pro návrh by bylo jednodušší použití pohřbených a slepých otvorů, což bylo díky vysoké výrobní ceně zamítnuto. Cena výroby této šesti vrstvé desky firmou PragoBoard byla necelých 6000 Kč. Výsledná cena vývojového kitu bez tzv. člověko-hodin je odhadována na cenu 12 000 Kč.

Osazení prototypu vývojového kitu bylo původně plánováno ve školních podmínkách za použití infrapáčky, což bylo vzhledem k vysoké náročnosti flexibilně převedeno na specializovanou firmu. Ve školních podmínkách není možné zjistit, zda došlo ke spolehlivému zapájení a zda nevznikly u pouzdra BGA mezikuličkové zkraty. Dále by mohl být problém při samotném pájení BGA pouzdra, protože obvod byl z firmy Farnell zaslán neuzavřený proti vlhkosti, což by mohlo způsobit tzv. popcorn efekt. Ve specializované firmě bylo zapájeno celkem 5 integrovaných obvodů (včetně BGA obvodu) s týdenním vysušením pouzder za velmi dobrých 388 Kč včetně DPH.

Oživení vývojového kitu bylo bez závažnějších problémů a vývojový kit správně fungoval od prvního zapnutí. Z důvodu výše uvedených problémů s navrženým

programátorem byl zapůjčen od Univerzity komerční programátor, kterým došlo k naprogramování testovací konfigurace do paměti EPCS a úspěšném ozkoušení činnosti jádra hradlového pole. Během testování byly jen otestovány základní periférie jako tlačítka, diody, přepínače a vstupně-výstupní piny. Z časových důvodů nebyly ozkoušeny periférie jako ethernetový převodník, sedmissegmentové LCD displeje, které jsou ovládány převodníkem CD4094, alfanumerický LCD displej a ADC převodníky.

Během ožívání vývojového kitu došlo k návrhu jednoduchého systému obsahující paměti SDRAM a FLASH, LCD displej, tlačítka, přepínače a diody v návrhovém systému pro softprocesor NIOS II. Návrh systému se zdařil, avšak se ze zatím neznámých důvodů nedaří do systému nahrát zkompilovaný program. Problém vznikne při komunikaci s nahrávacím programem „Altera monitor“, kdy nedojde k resetování jádra FPGA, přičemž bez problémů dojde ke stažení konfigurace z paměti EPCS. Pro demonstraci funkce byl do vývojového kitu vytvořen jednoduchý program.

Pro další práci je nutné nejdříve vyrobit a osadit opravenou verzi DPS programátoru a odstranit chyby v komunikačním protokolu. V případě výroby další verze vývojového kitu, je nutné použít opravené výrobní podklady, které jsou na přiloženém CD u této práce.

Zadání práce se podařilo splnit až na problémy s programátorem a byl navržen jeden plně funkční prototyp vývojového kitu s obvodem FPGA od firmy Altera a jeden částečně fungující prototyp programátoru hradlových polí.

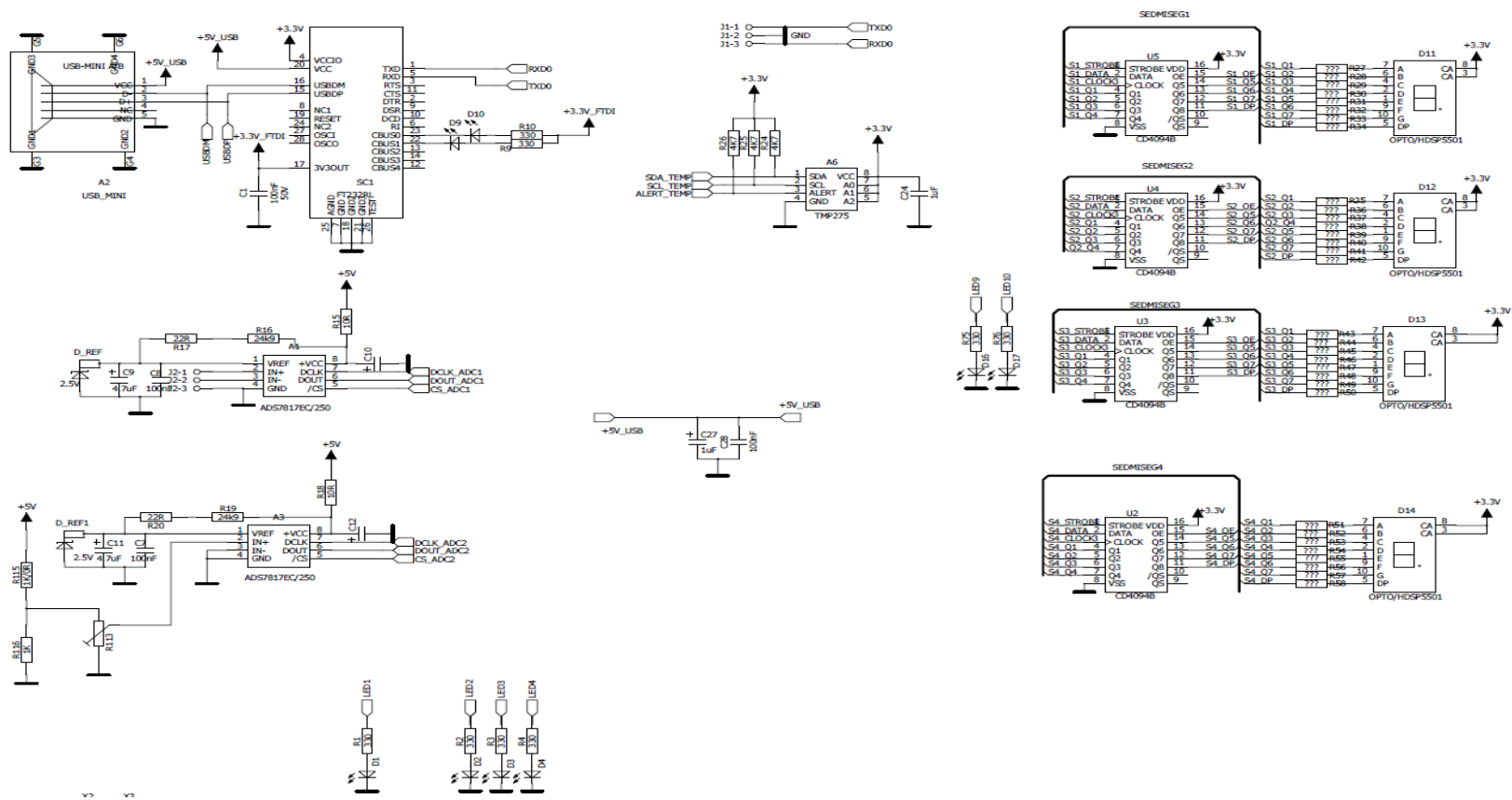
Seznam použitých zdrojů

- [1] ALTERA. *Serial Configuration (EPCS) Devices Datasheet*. Leden 2012, 40 s. Dostupné z: http://www.altera.com/literature/hb/cfg/cyc_c51014.pdf
- [2] Webench Design center. *Texas Instruments* [online]. [cit. 2013-07-10]. Dostupné z: <http://www.ti.com/lstds/ti/analog/webench/overview.page>
- [3] ALTERA. *Cyclone II FPGA Family overview* [online]. [cit. 2013-07-11]. Dostupné z: <http://www.altera.com/devices/fpga/cyclone2/overview/cy2-overview.html>
- [4] Altera: Documentation: Cyclone II series. [online]. [cit. 2013-07-12]. Dostupné z: <http://www.altera.com/literature/lit-cyc2.jsp>
- [5] ZÁHLAVA, Vít. *Návrh: Principy a pravidla praktického návrhu* [online]. 2010 [cit. 2013-08-14]. ISBN 978-80-7300-309-8.
- [6] Montáž pouzder BGA. *Montáž pouzder BGA* [online]. [cit. 2013-07-15]. Dostupné z: http://www.umel.feec.vutbr.cz/~szend/vyuka/mmte/cv_bga.pdf
- [7] Pragoboard: Výrobní dokumentace, *Pragoboard* [online]. 2012 [cit. 2013-07-15]. Dostupné z: <http://www.pragoboard.cz/>
- [8] SVAČINA, Jiří. *Elektromagnetická kompatibilita: Principy a poznámky*. 1. vyd. Brno: Vysoké učení technické, 2001, 156 s. ISBN 80-214-1873-7.
- [9] *Terrasic: CYCLONE II EP2C35 Development & Education BOARD* [online]. 23.6.2006, 24 s. [cit. 19.7.2013]. Dostupné z: http://www.cs.columbia.edu/~sedwards/classes/2008/4840/DE2_schematics.pdf
- [10] JOHNSON, Howard a Martin GRAHAM. *High speed signal propagation: A Handbook of Back Magic*. Upper Saddle River: Prentice Hall, 1993, xxx, 766 s. ISBN 01-308-4408-X.
- [11] ALTERA. *Application note 114: Designing With High-Density BGA Packages for Altera Devices* [online]. 5.1. Prosinec 2007 [cit. 2013-08-25]. Dostupné z: <http://www.altera.com/literature/an/an114.pdf>
- [12] Terasic: USB Blaster Cable. *Terasic* [online]. [cit. 2013-08-28]. Dostupné z: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&No=46>
- [13] *Atmel: Atmega128/L datasheet* [online]. Rev. 2467X–AVR–06/11. 2011 [cit. 2013-07-28]. Dostupné z: <http://www.atmel.com/Images/doc2467.pdf>
- [14] FTDI utilities: FT prog. [online]. [cit. 2013-08-28]. Dostupné z: http://www.ftdichip.com/Support/Utilities.htm#FT_Prog

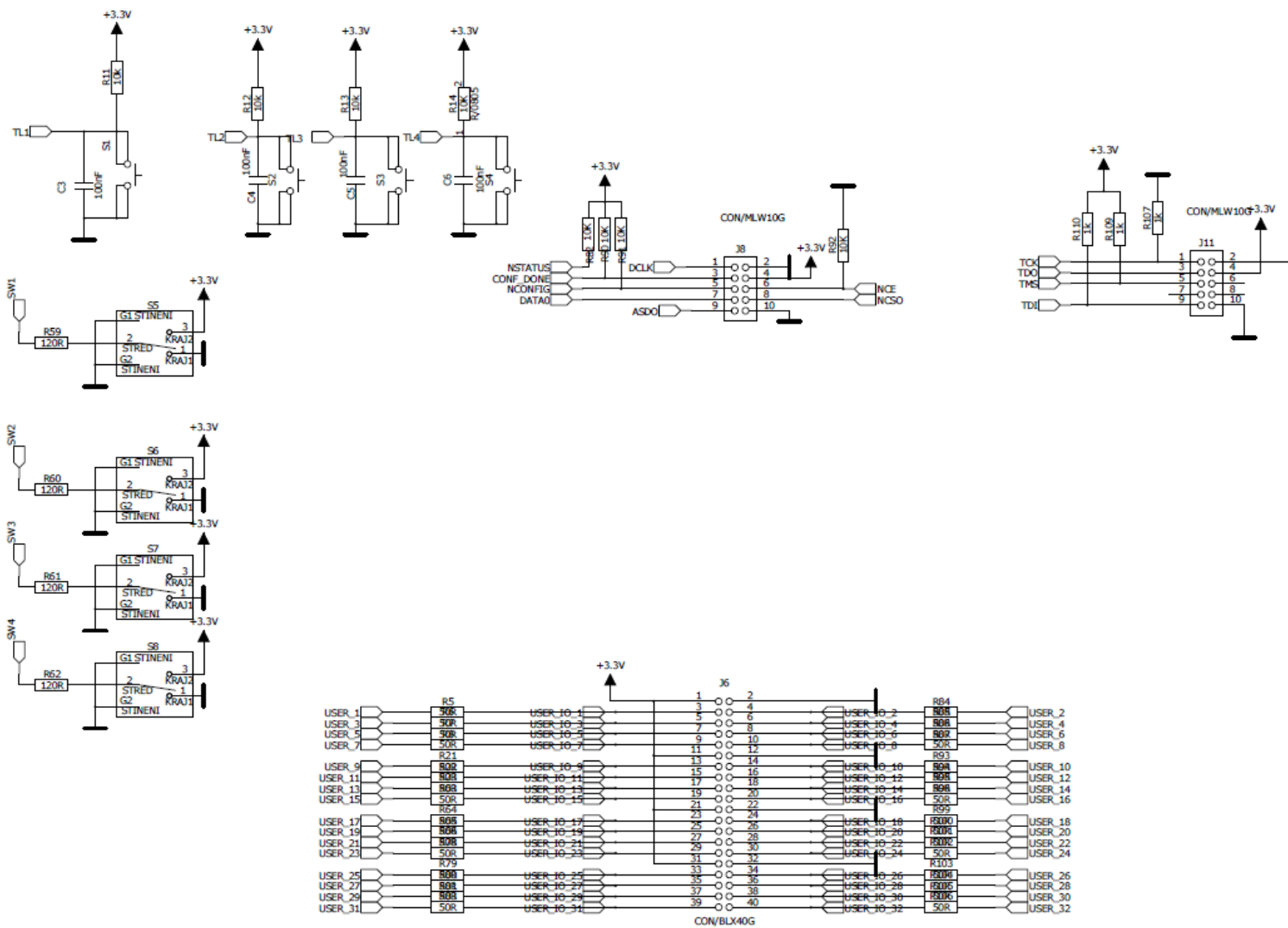
- [15] *Altera: Generating secondary programming files* [online]. 2011 [cit. 2013-08-29].
Dostupné z: [http://quartushelp.altera.com/11.1/mergedProjects/
program/pgm/pgm_pro_set_up_output_prog_files.htm](http://quartushelp.altera.com/11.1/mergedProjects/program/pgm/pgm_pro_set_up_output_prog_files.htm)

8 Přílohy

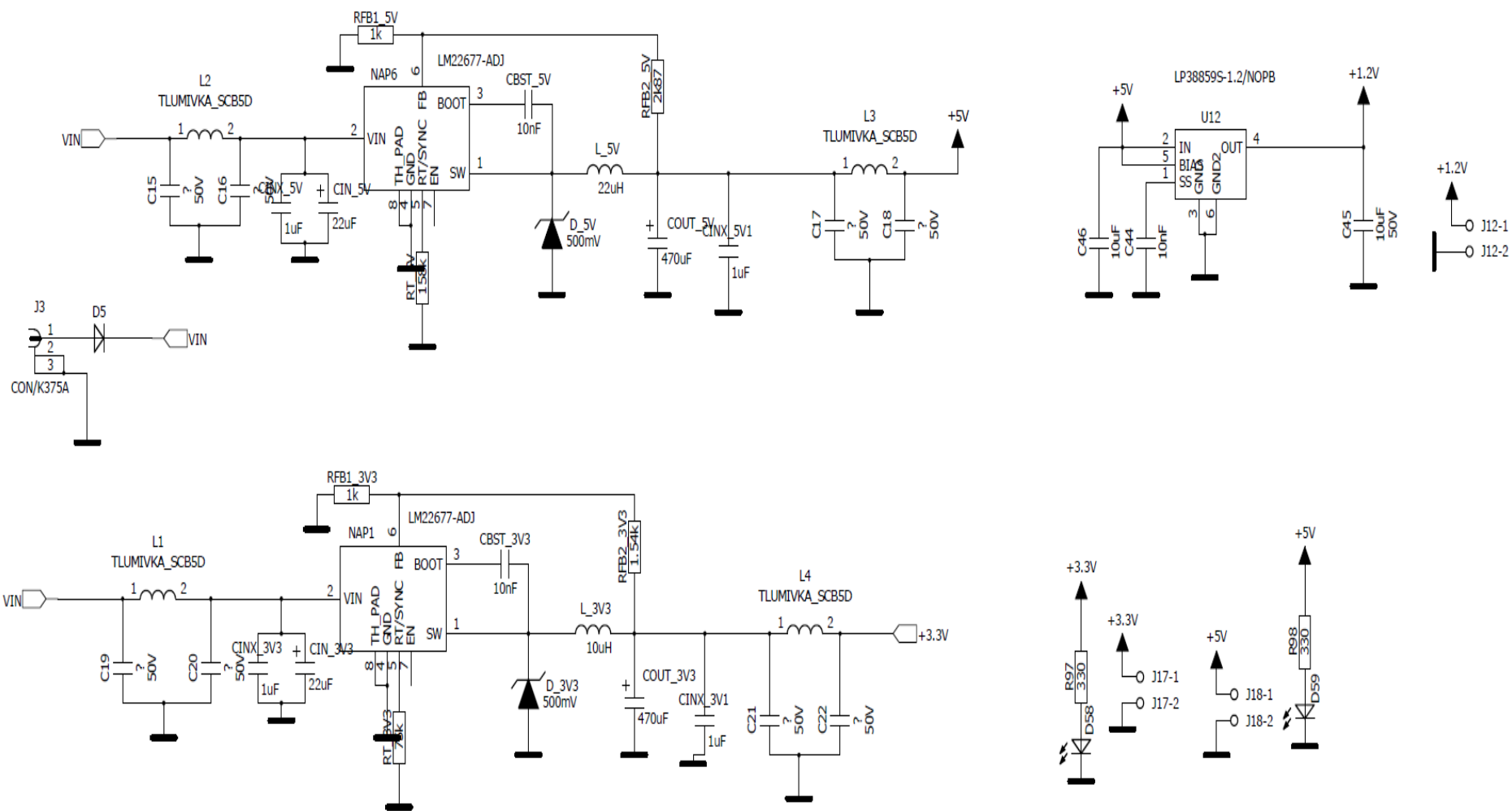
Příloha 1 : Zapojení vývojového kitu – periferie



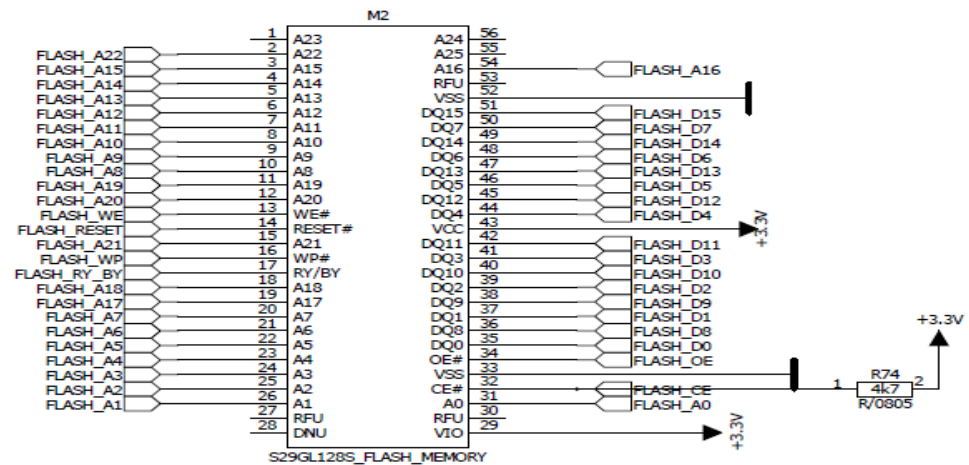
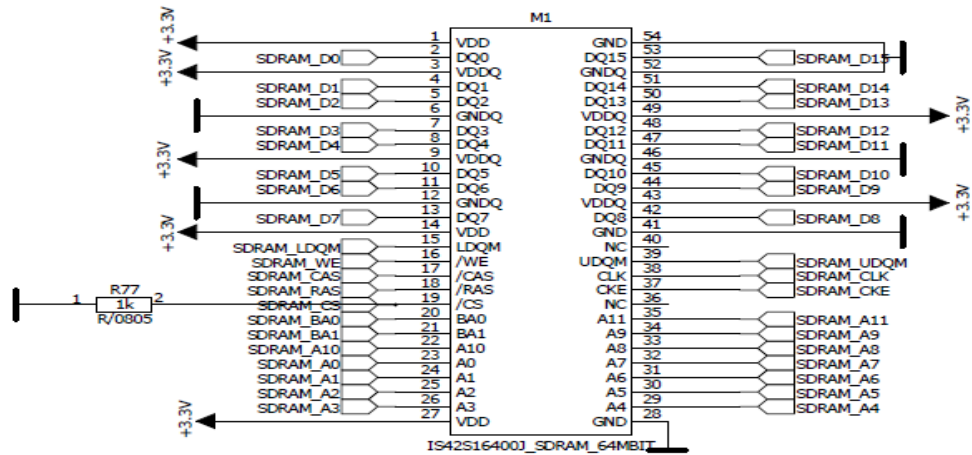
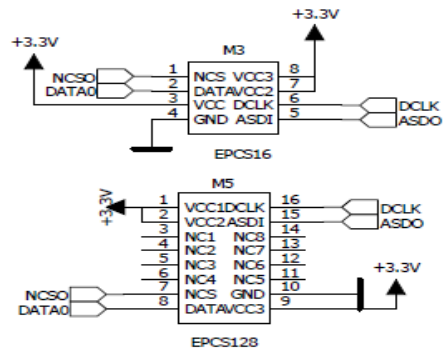
Příloha 2 : Zapojení vývojového kitu –vstupy



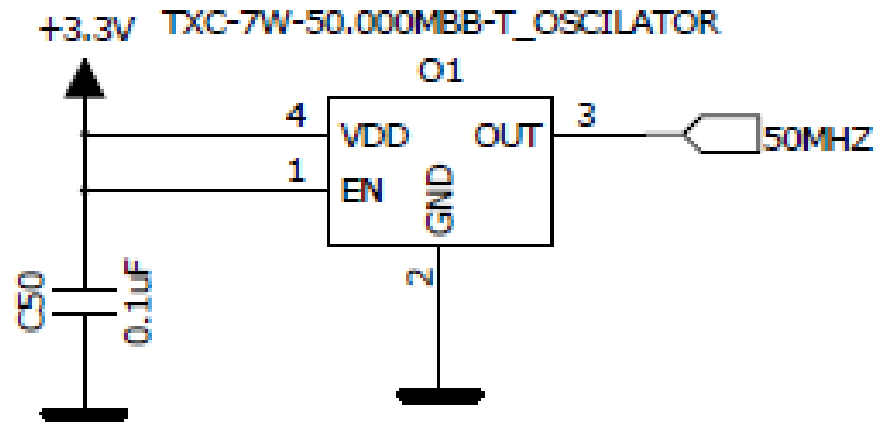
Příloha 3: Zapojení vývojového kitu - Napájení



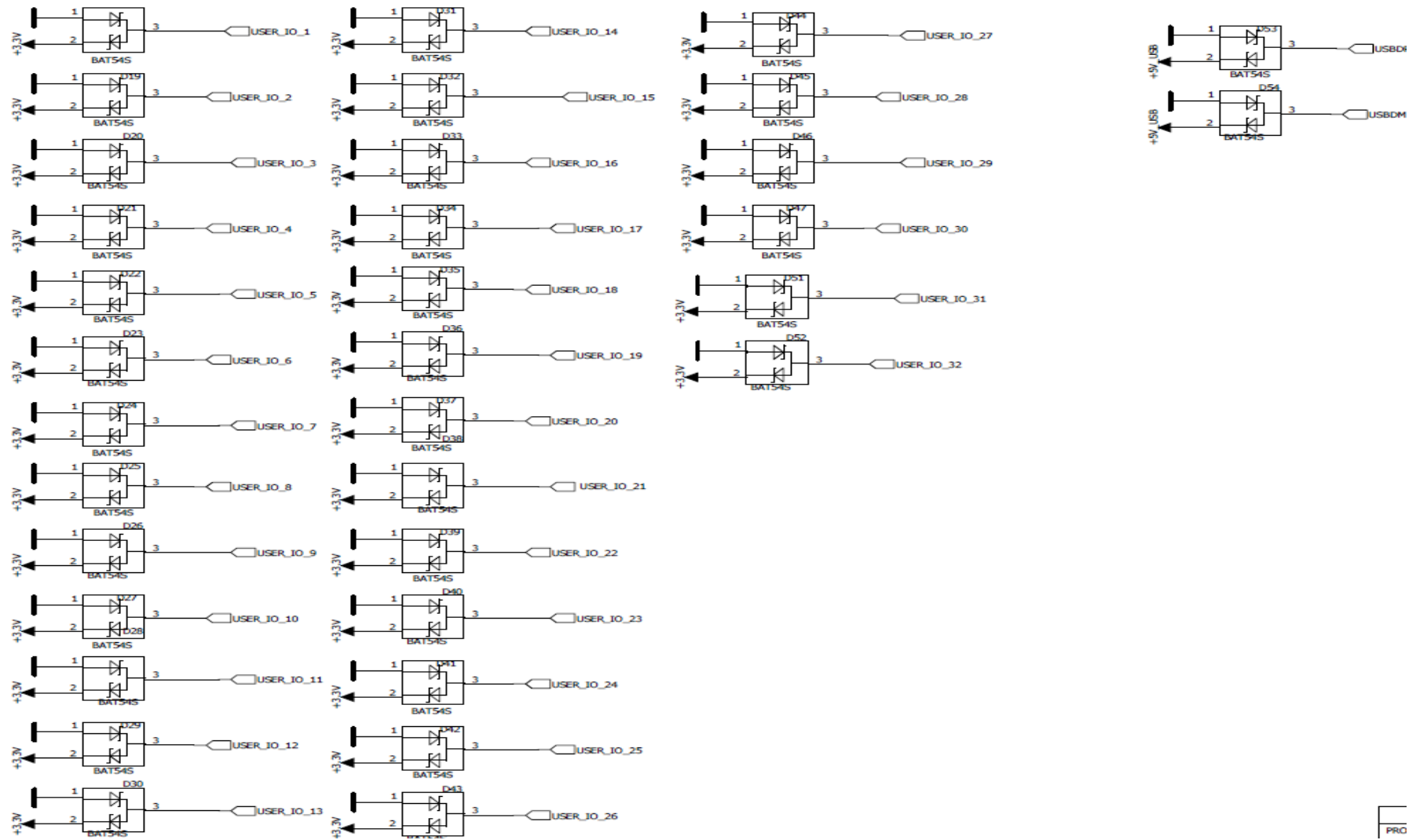
Příloha 4 : Zapojení vývojového kitu – Paměti



Příloha 5 : Zapojení vývojového kitu - Oscilátor 50 MHz

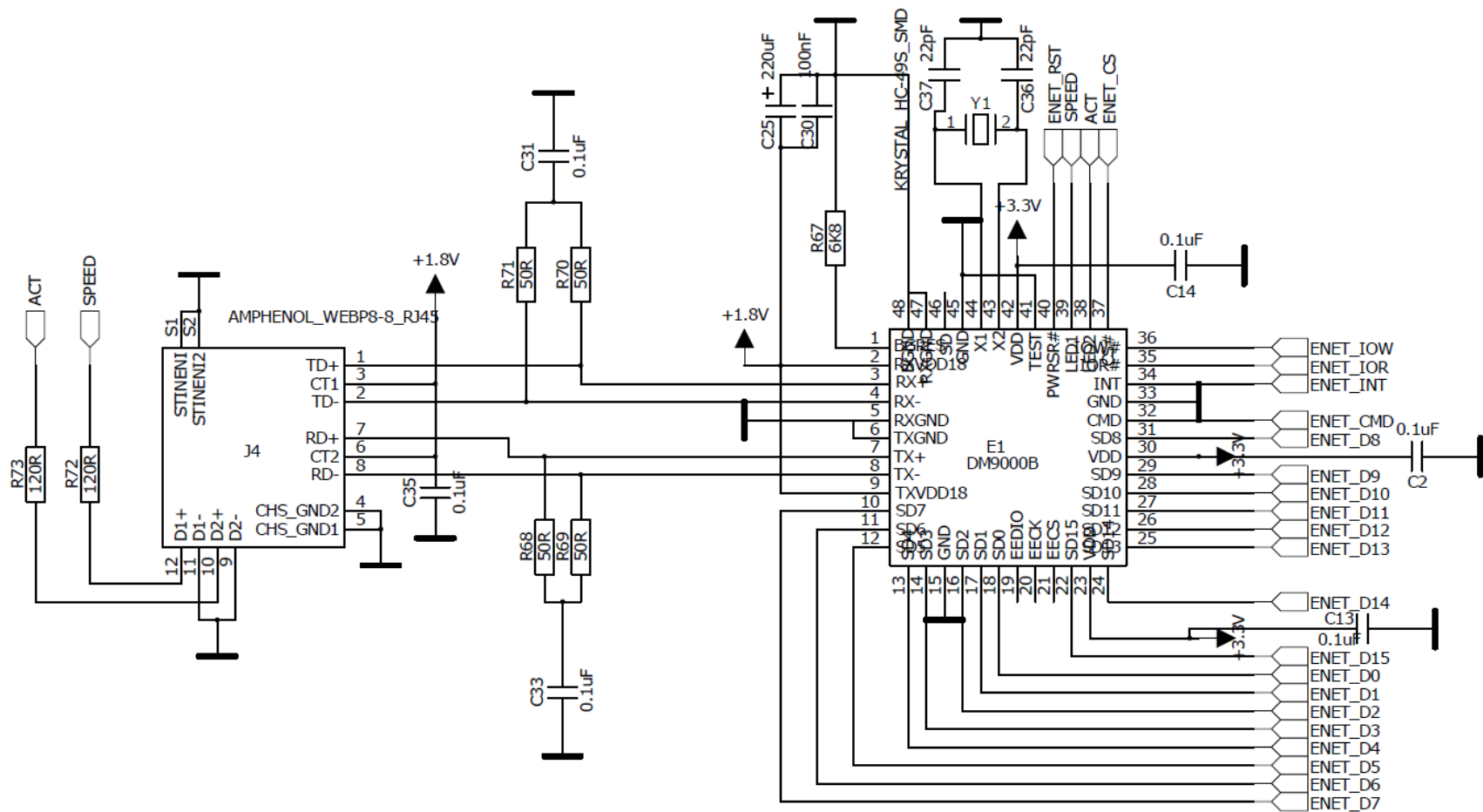


Příloha 6 : Zapojení vývojového kitu - ochrana I/O pinů

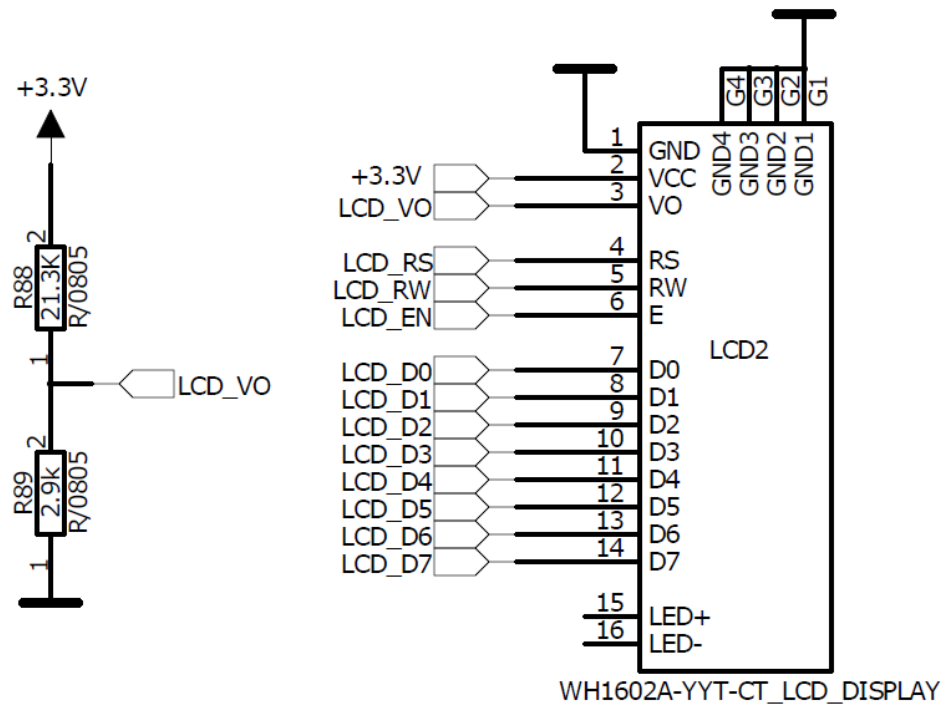


PRO

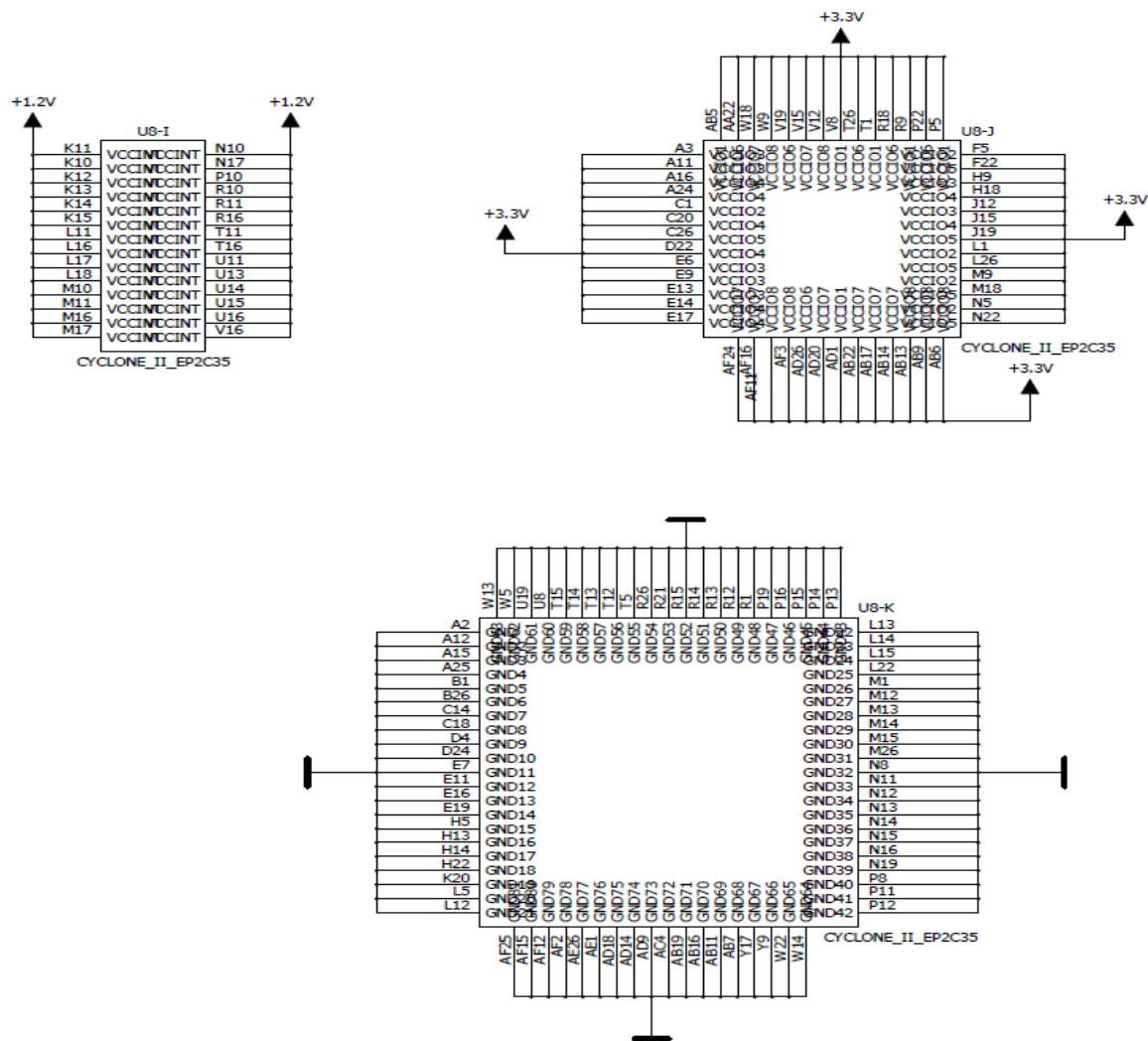
Příloha 7 : Zapojení vývojového kitu - Ethernetový převodník



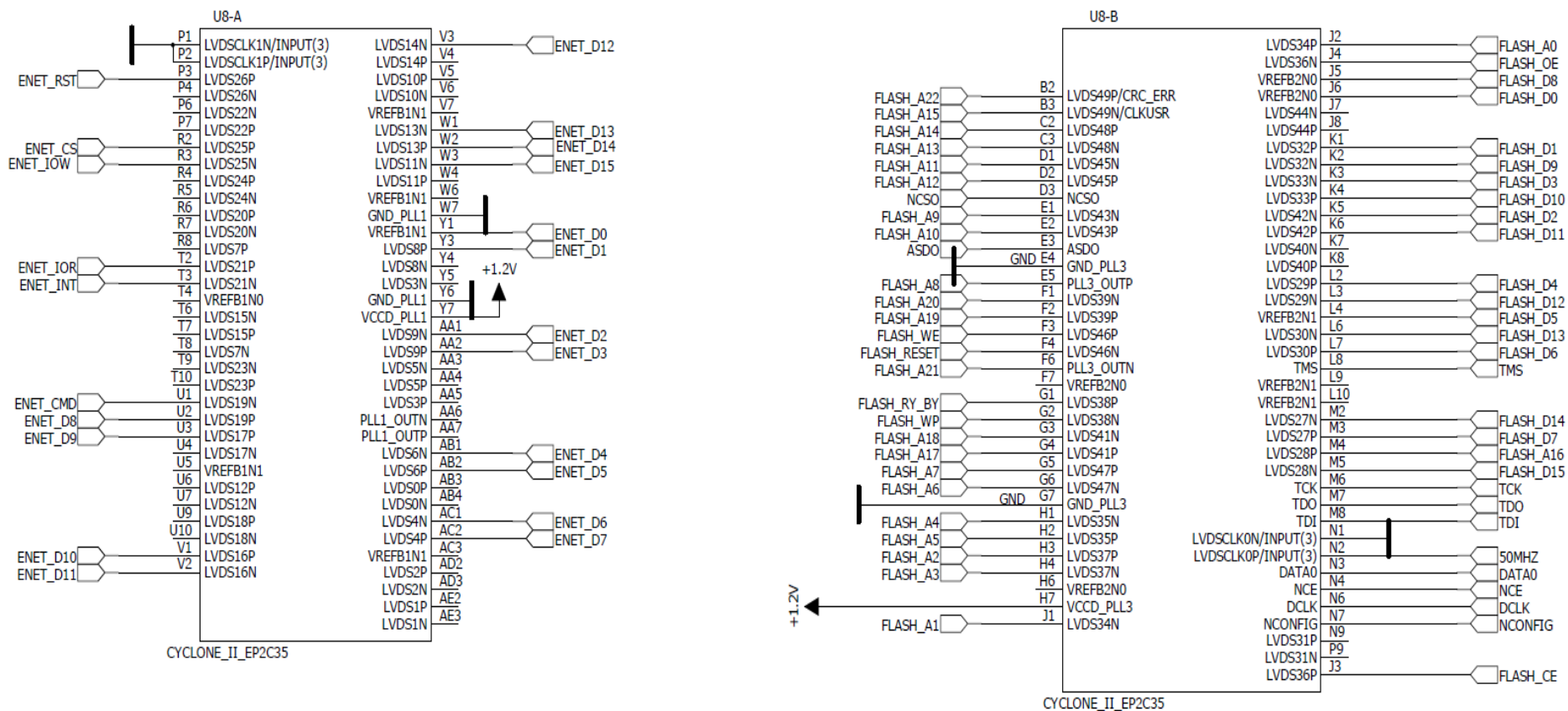
Příloha 8 : Zapojení vývojového kitu - LCD displej



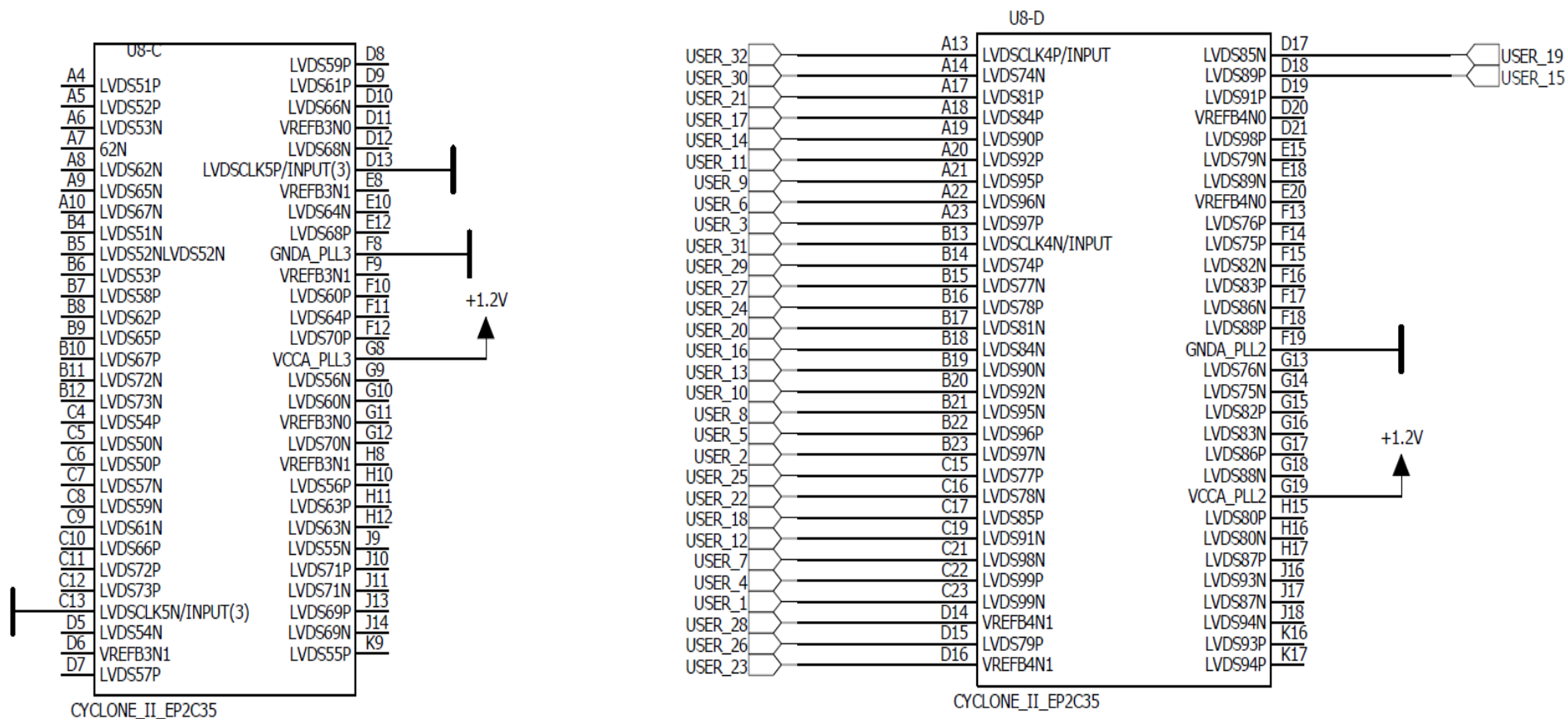
Příloha 9 : Zapojení vývojového kitu - Napájení obvodu FPGA



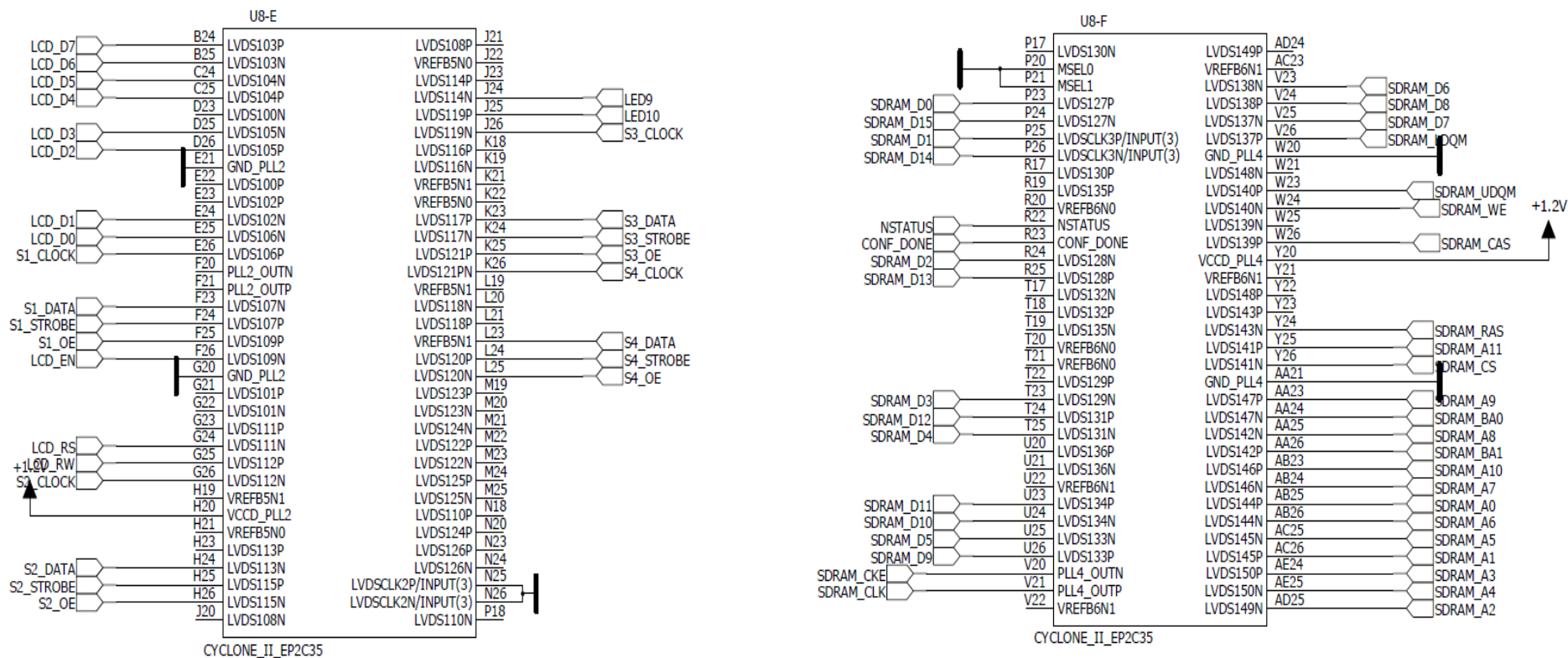
Příloha 10 : Zapojení vývojového kitu - Banka 1 a 2



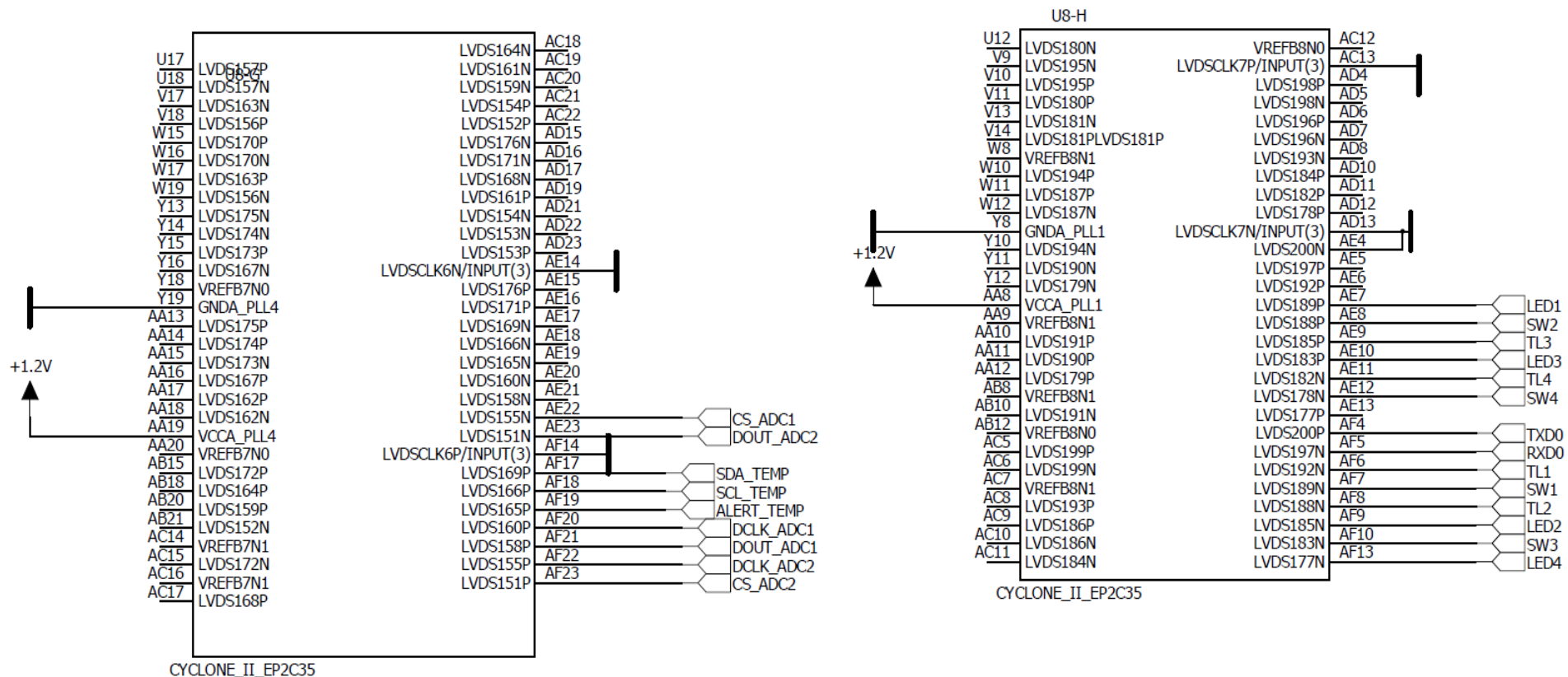
Příloha 11 : Zapojení vývojového kitu - Banka 3 a 4



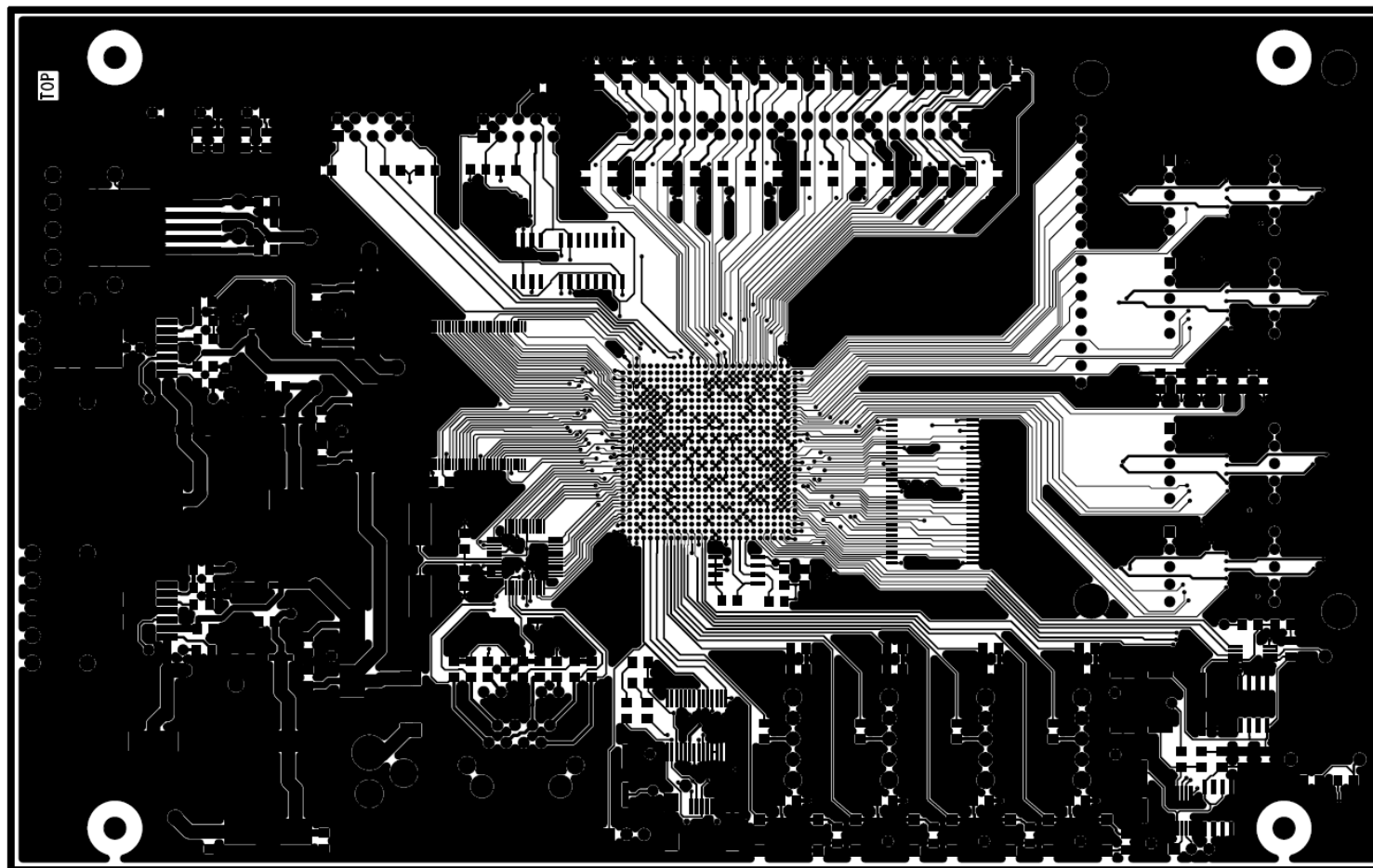
Příloha 12 : Zapojení vývojového kitu - Banka 5 a 6



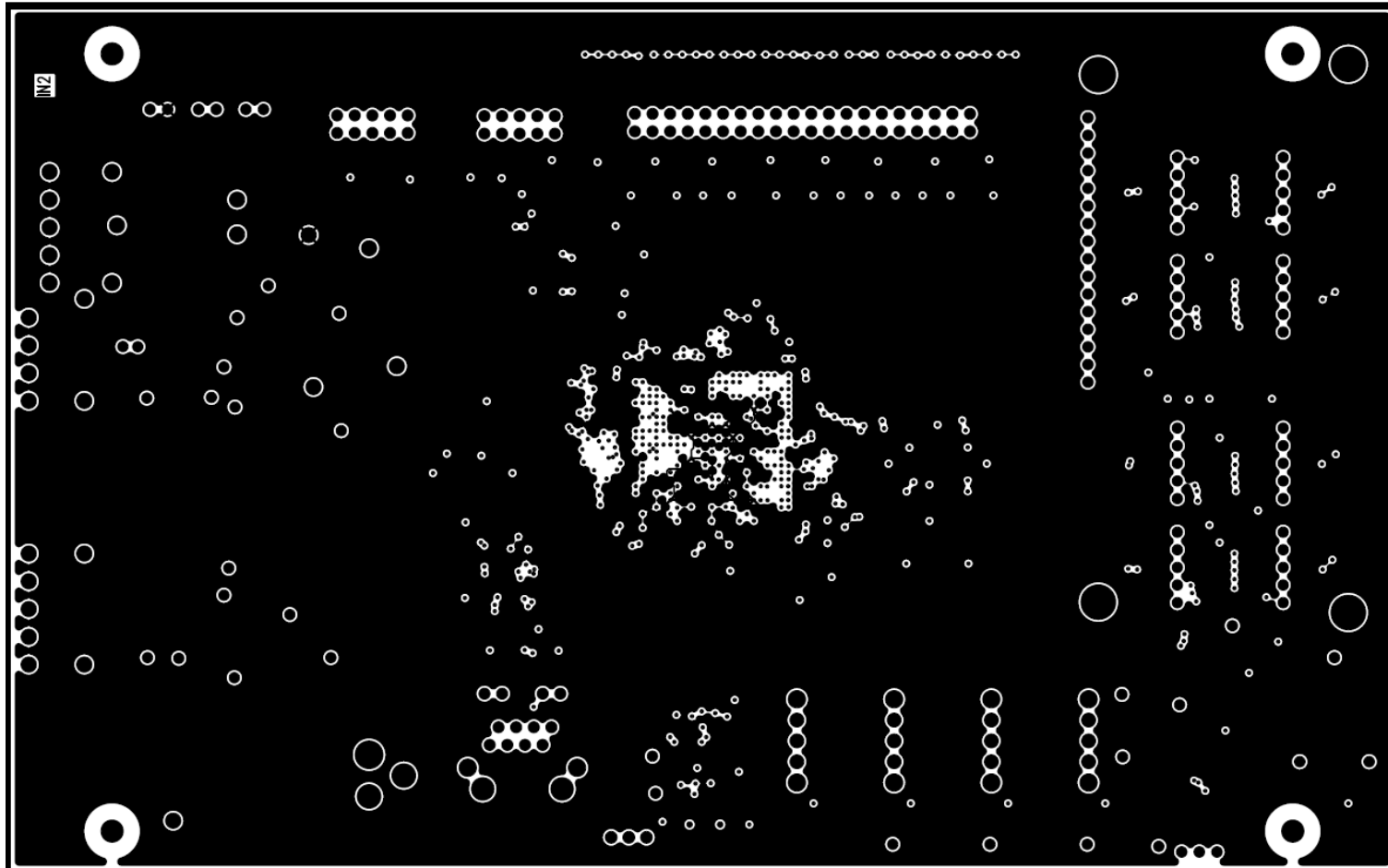
Příloha 13 : Zapojení vývojového kitu - Banka 7 a 8



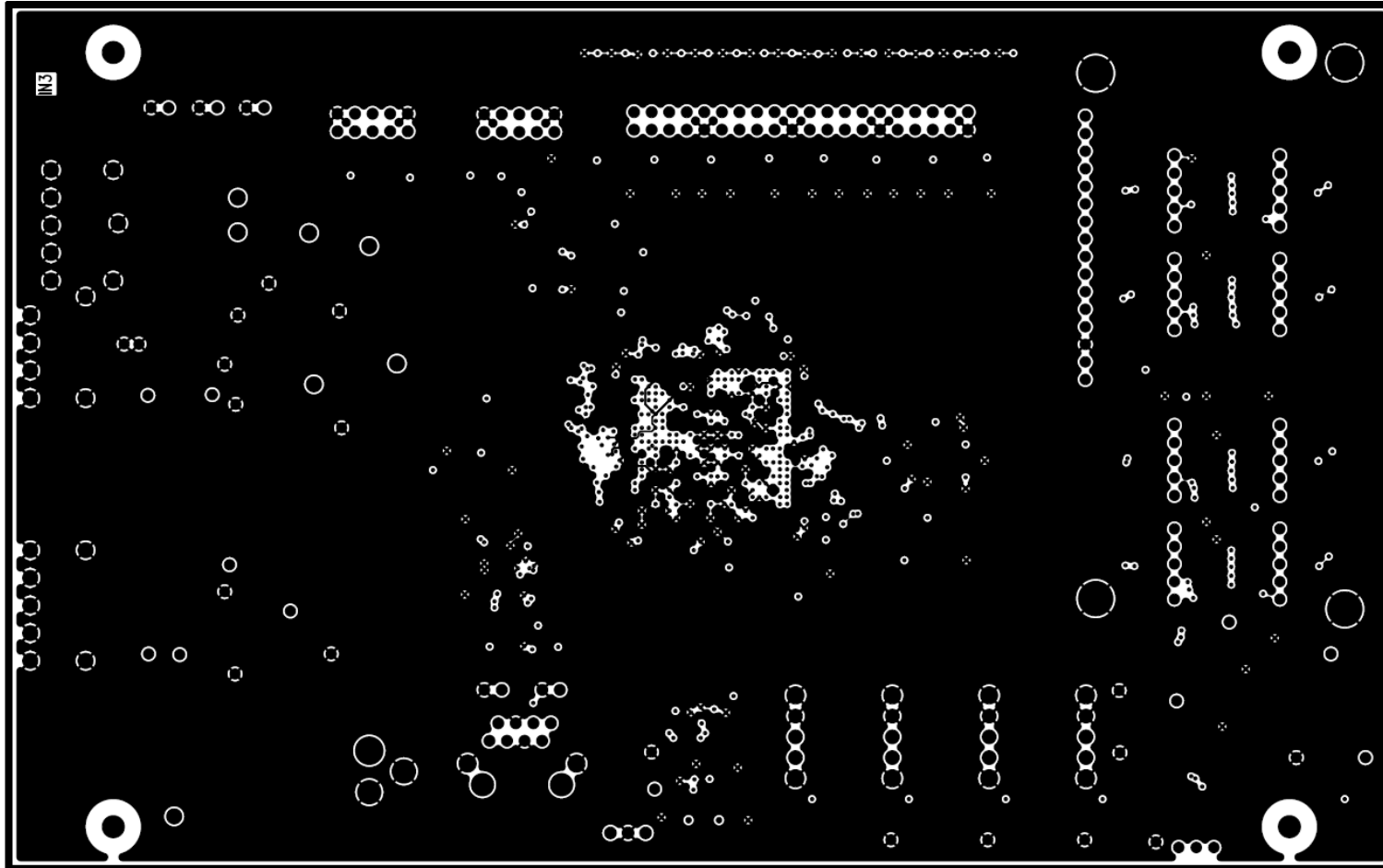
Příloha 14 : DPS vývojového kitu - vrstva TOP



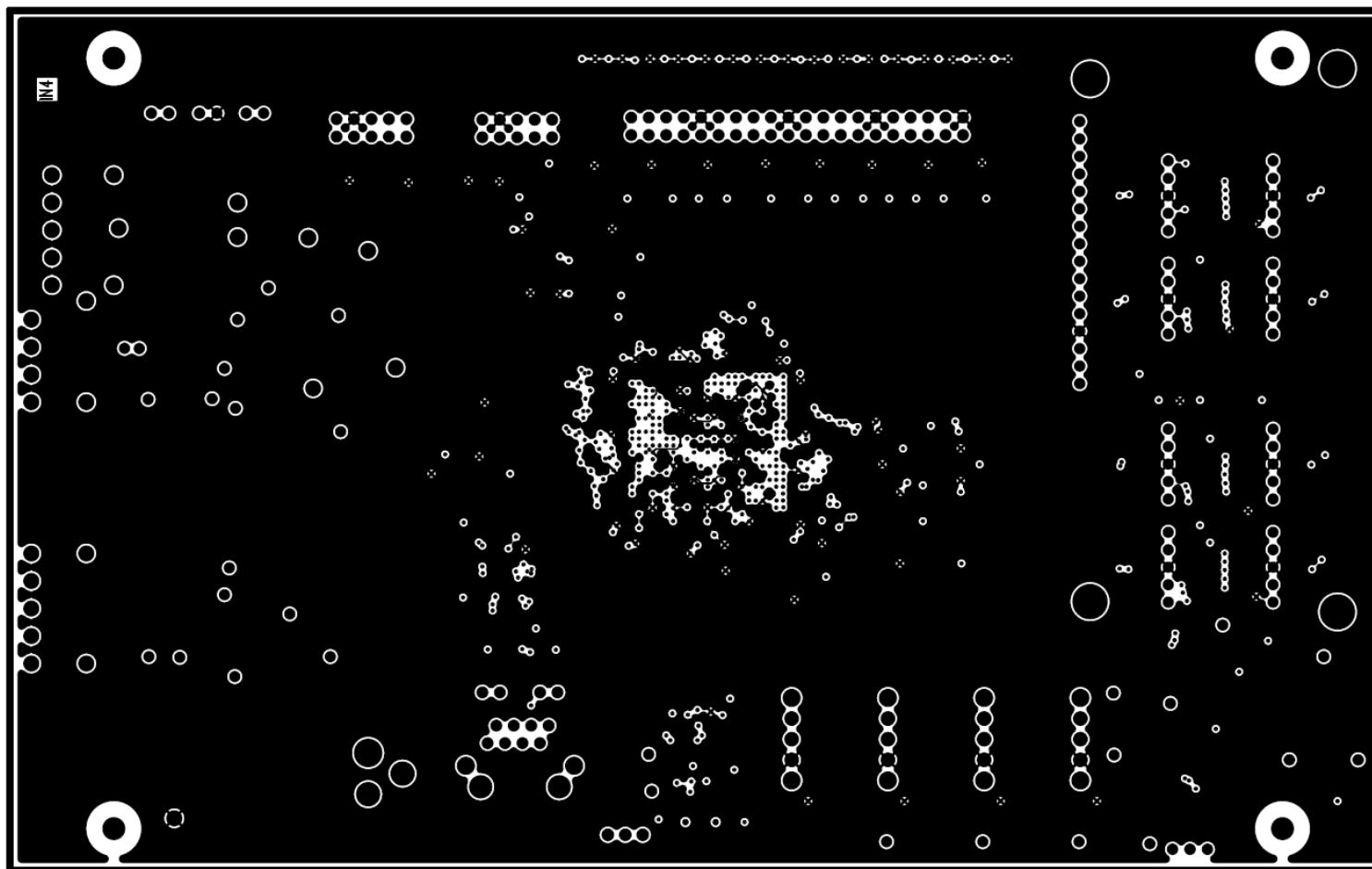
Příloha 15 : DPS vývojového kitu - vrstva IN2



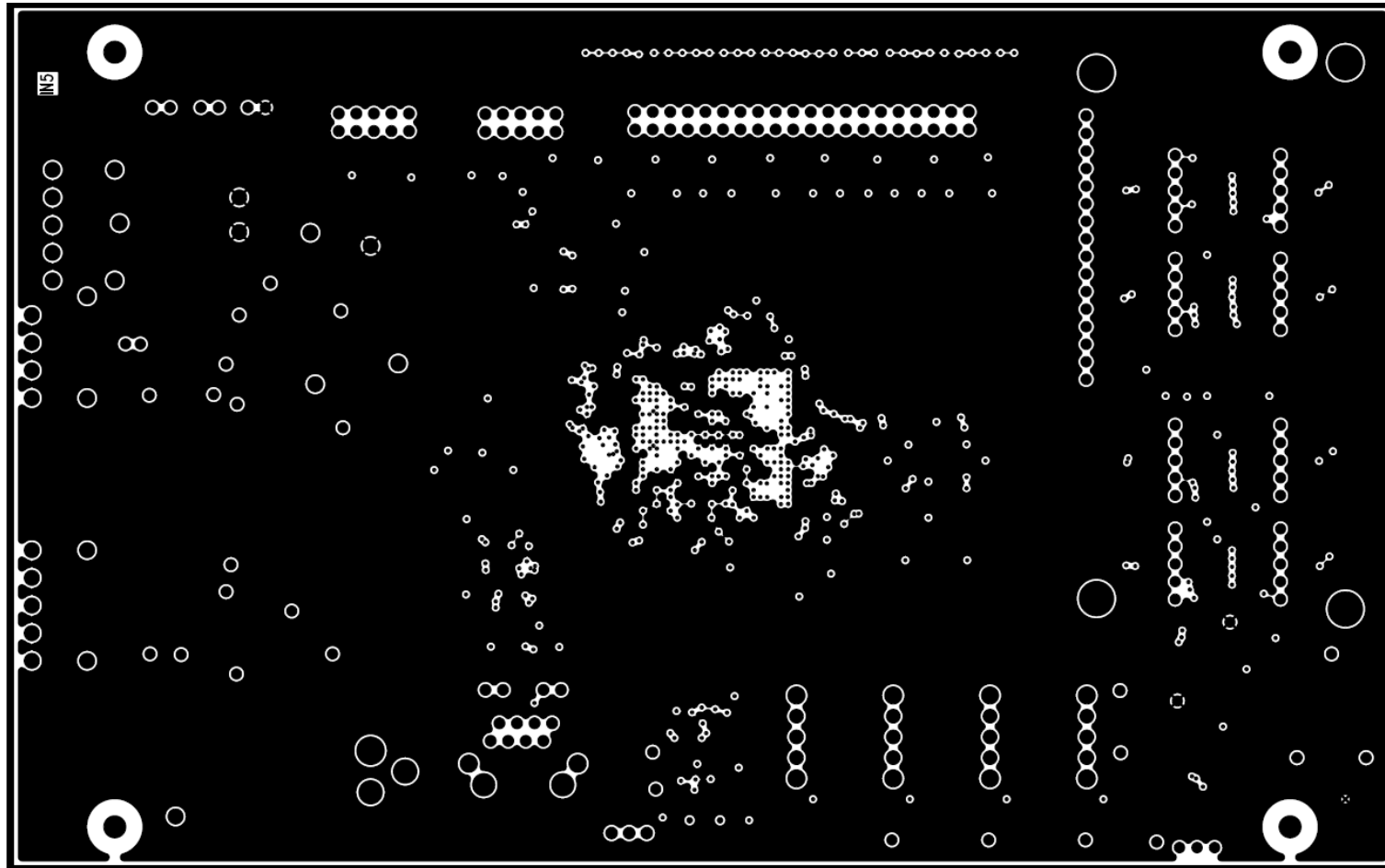
Příloha 16 : DPS vývojového kitu - vrstva IN3



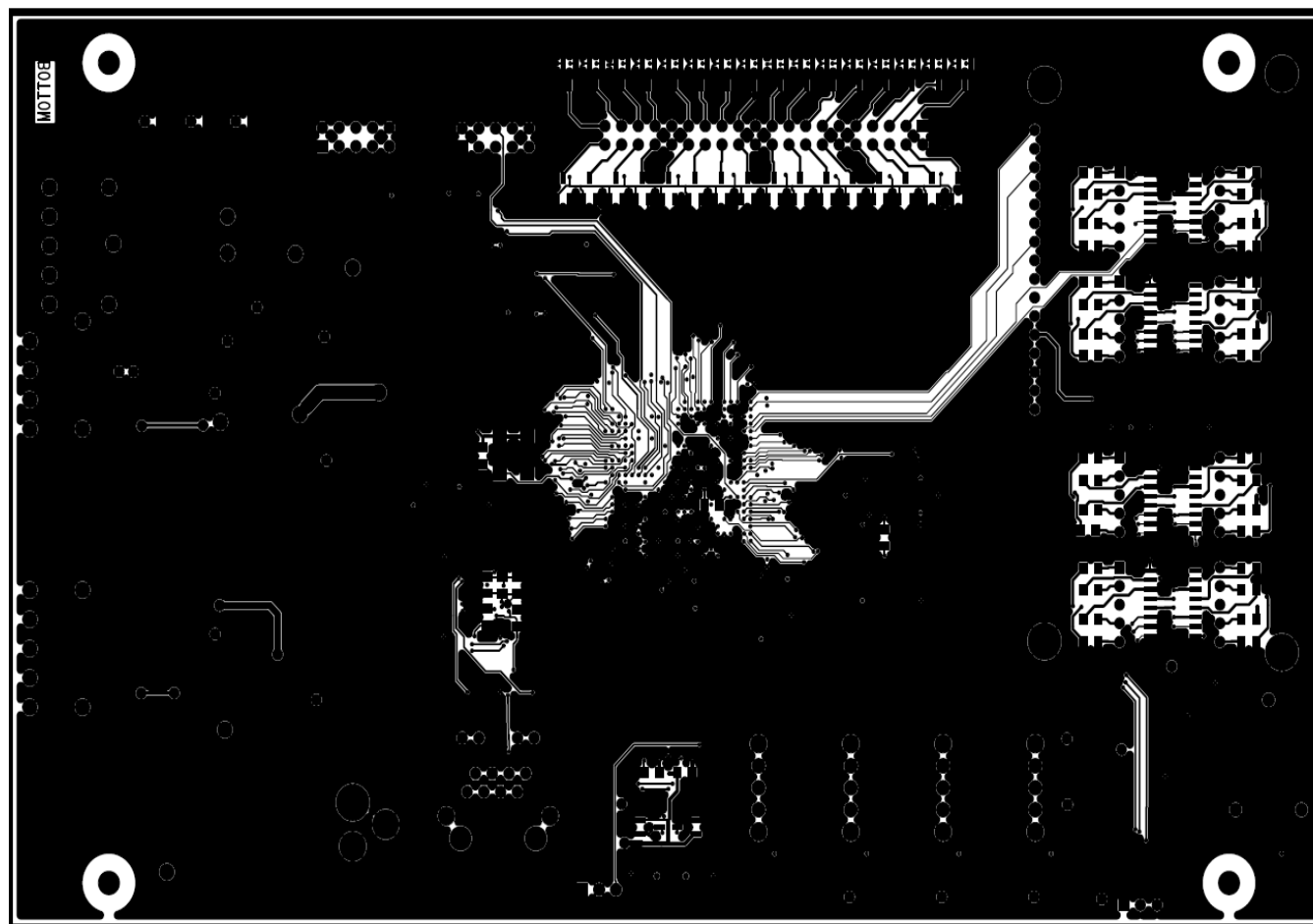
Příloha 17 : DPS vývojového kitu - vrstva IN4



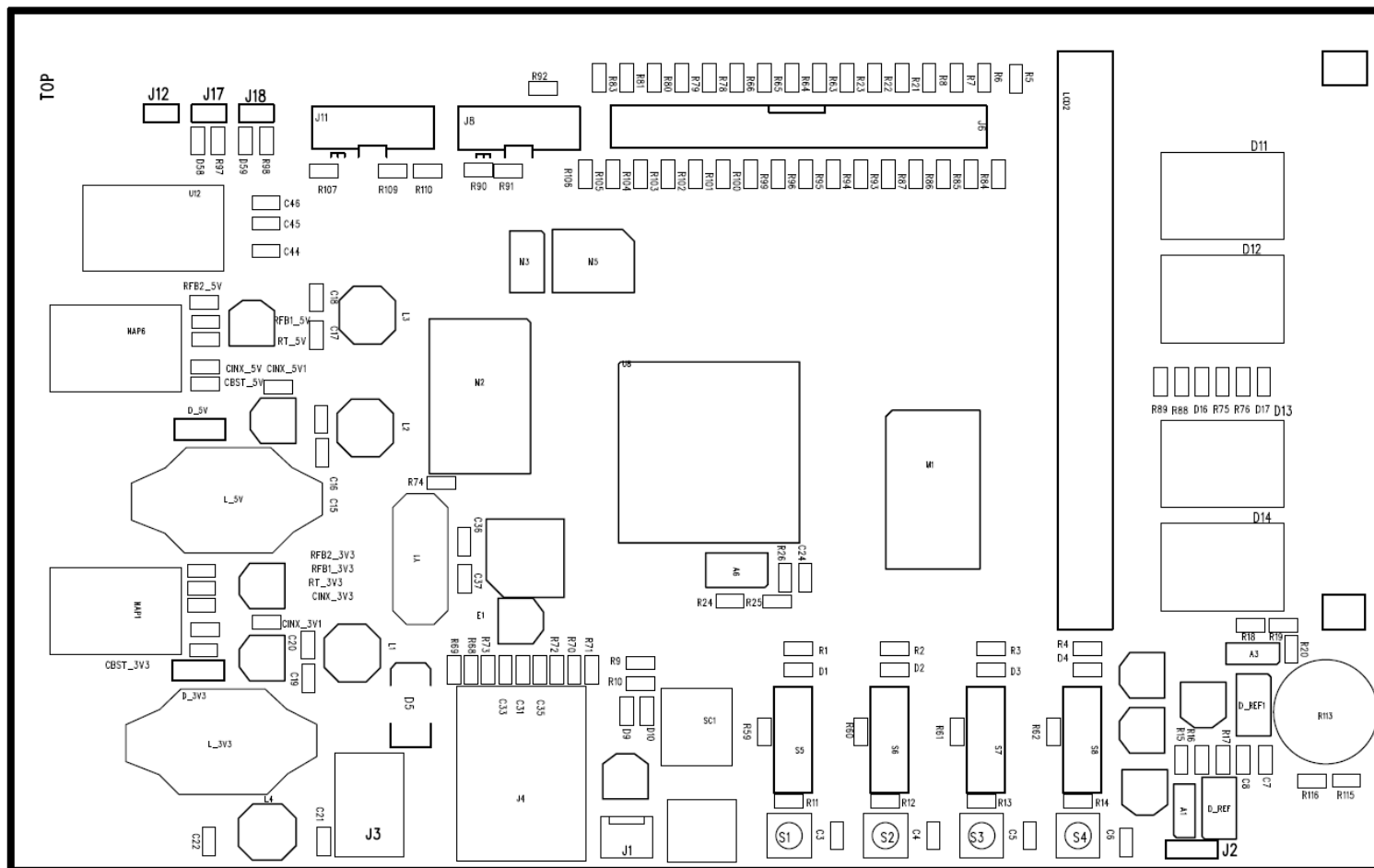
Příloha 18 : DPS vývojového kitu - vrstva IN5



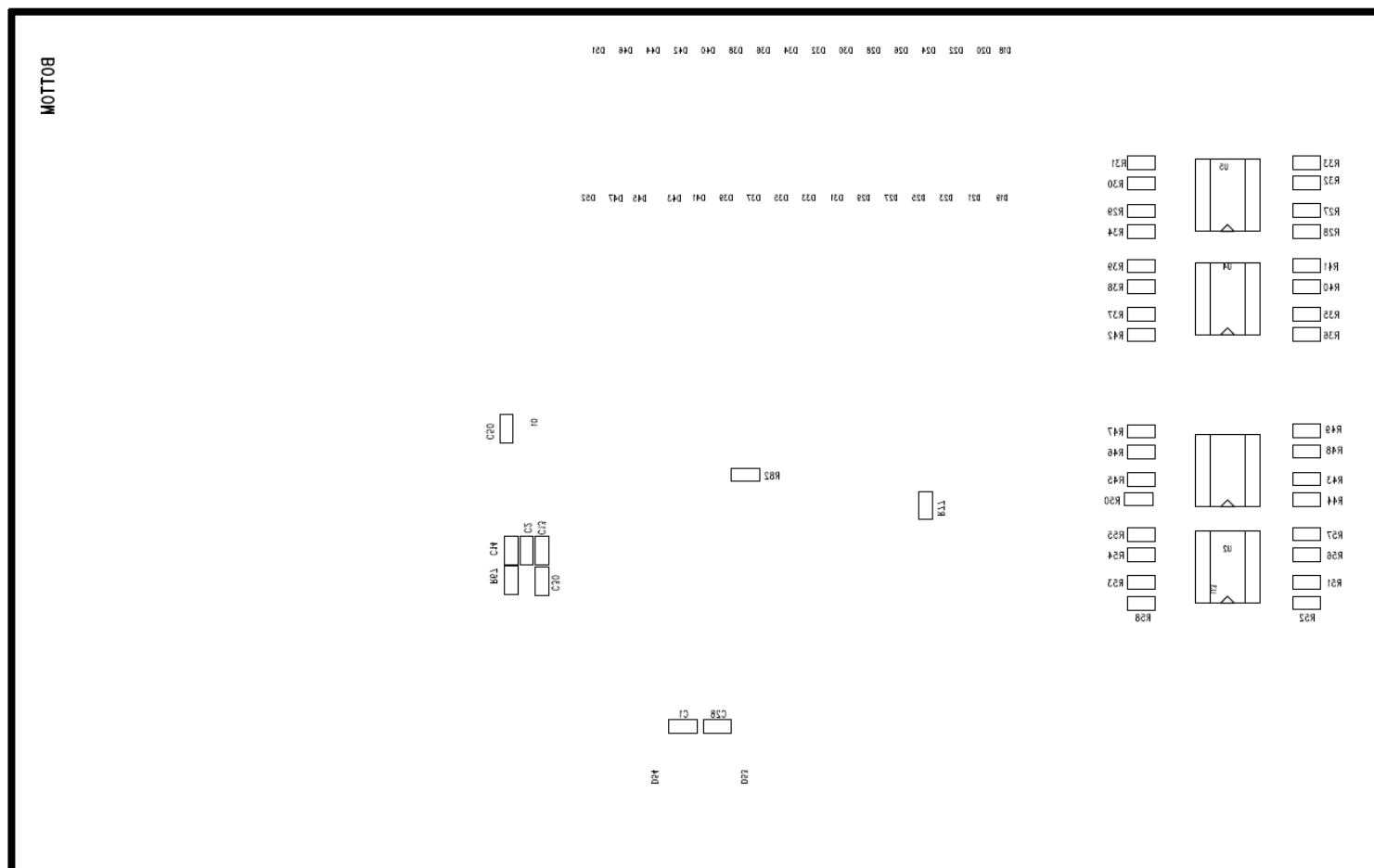
Příloha 19 : DPS vývojového kitu - vrstva BOTTOM



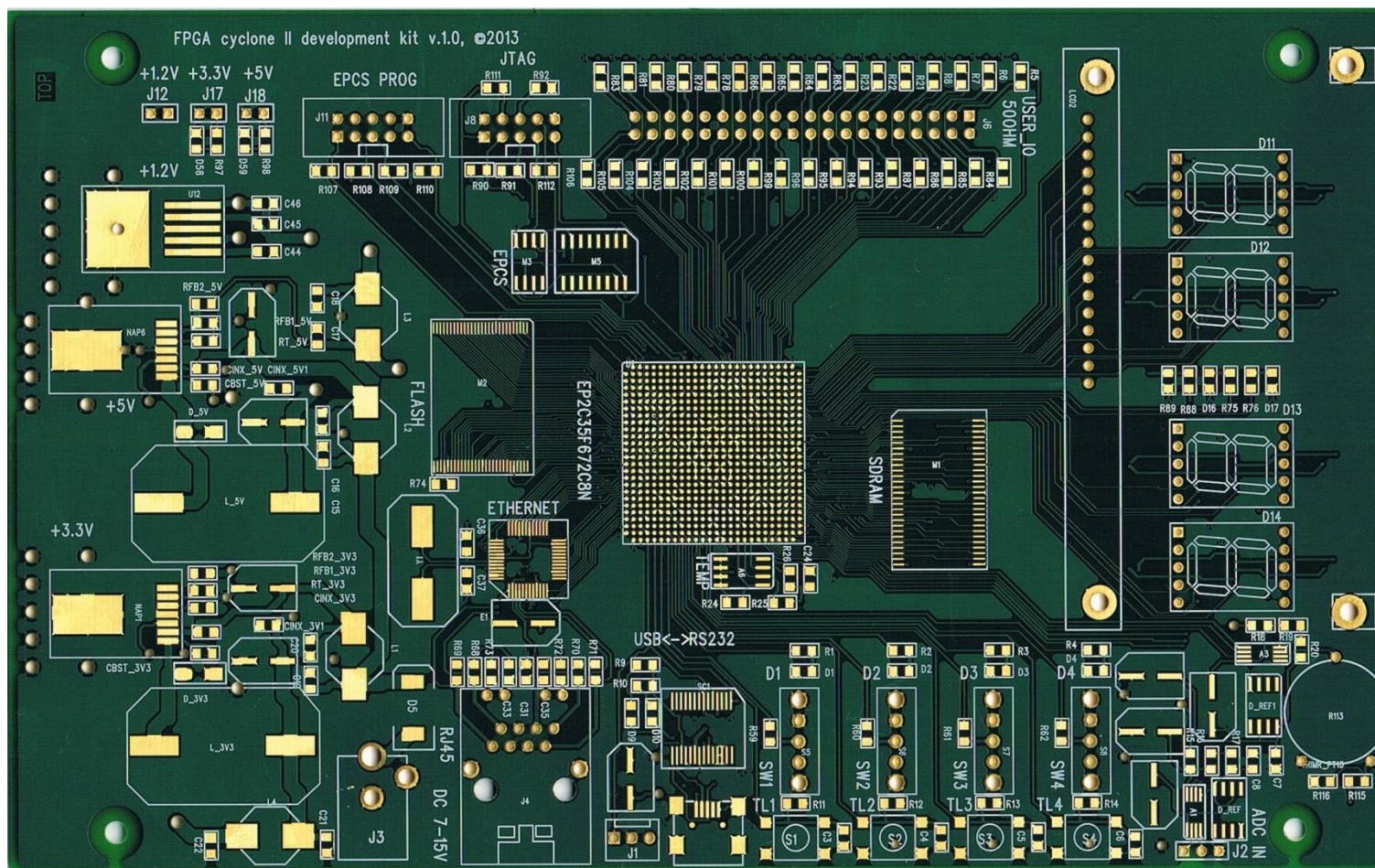
Příloha 20 : DPS vývojového kitu – Osazovací výkres TOP



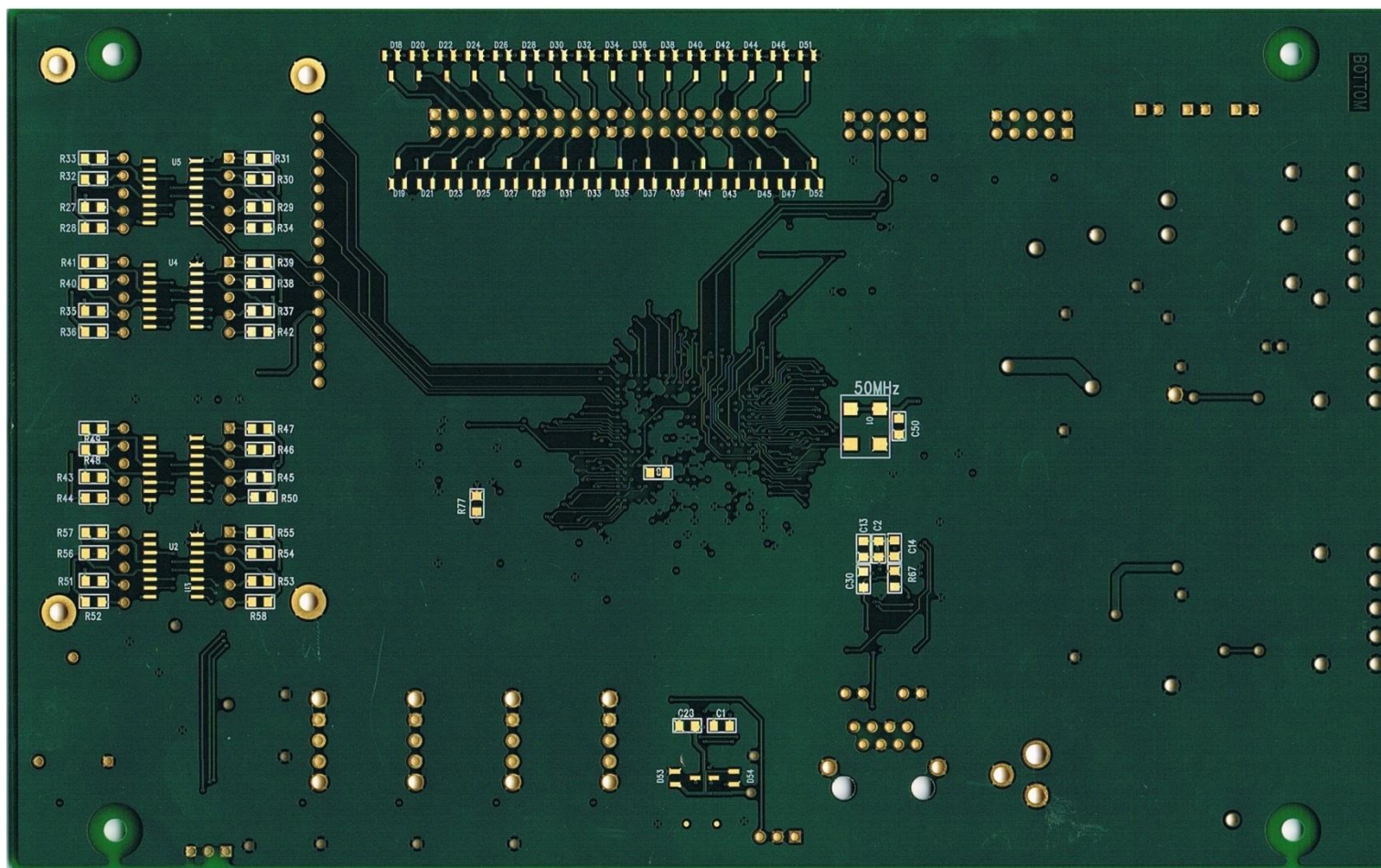
Příloha 21 : DPS vývojového kitu – Osazovací výkres BOTTOM



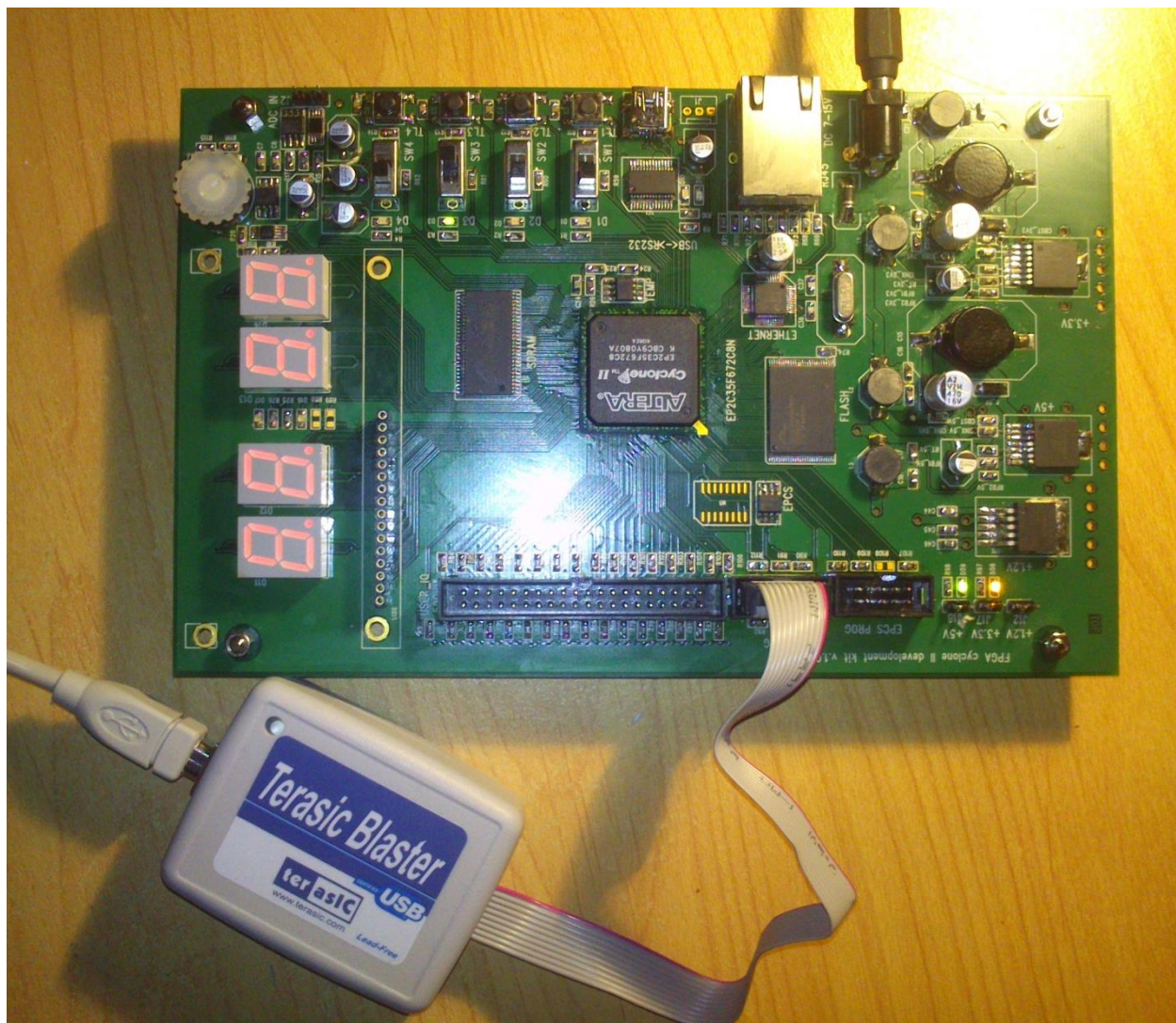
Příloha 22 : Vyrobená DPS vývojového kitu - strana TOP



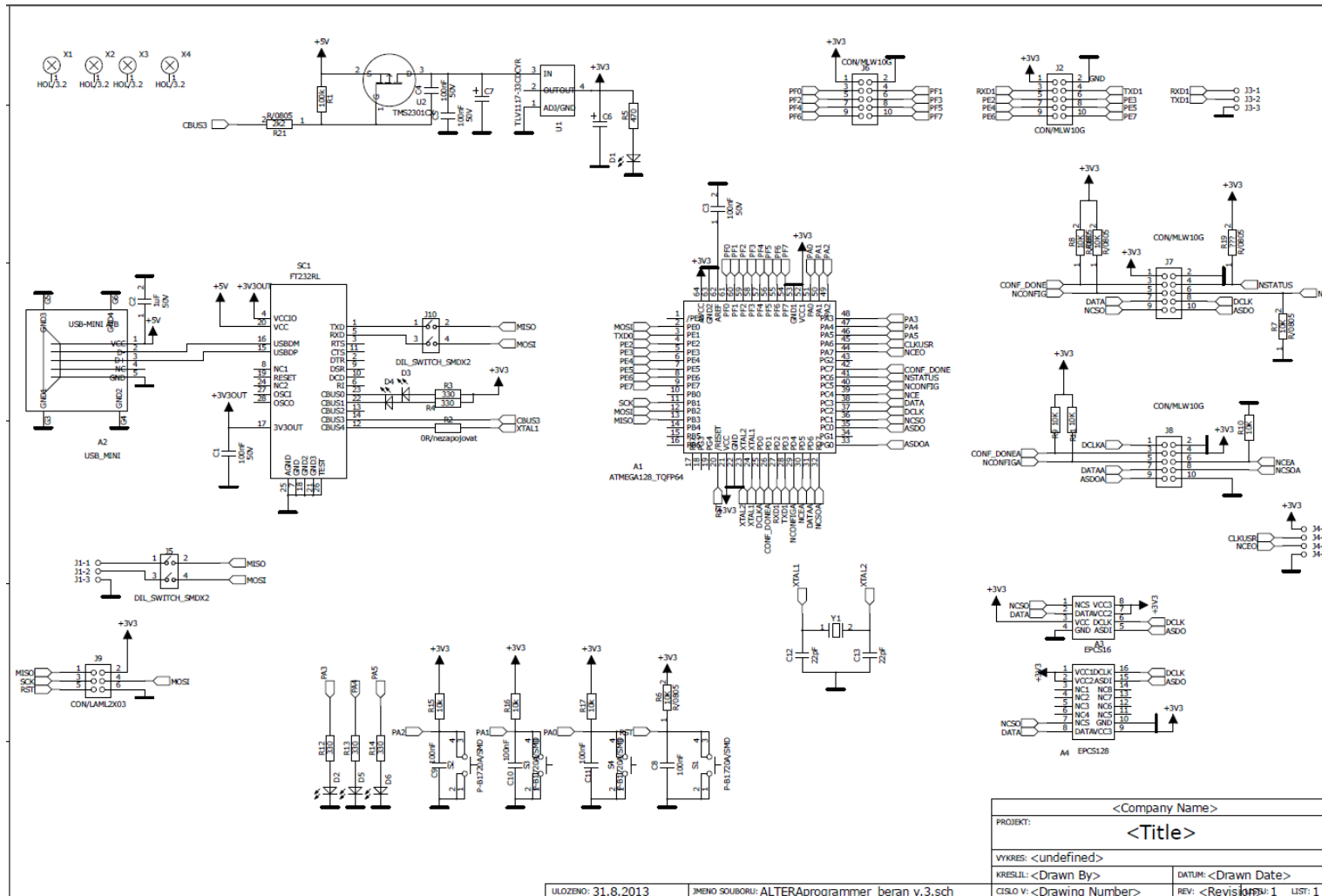
Příloha 23 : Vyrobená DPS vývojového kitu - strana BOTTOM



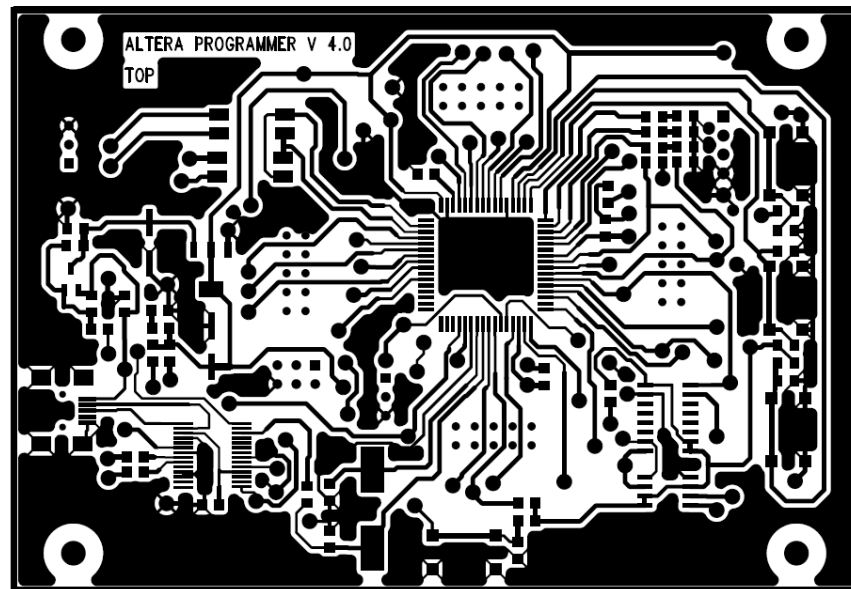
Příloha 24 : Oživený vývojový kit



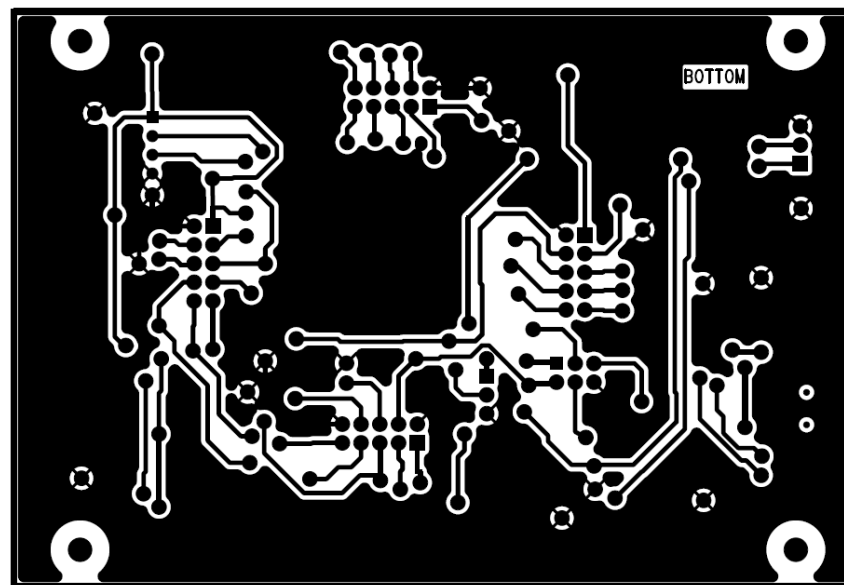
Příloha 25 : Schéma programátoru



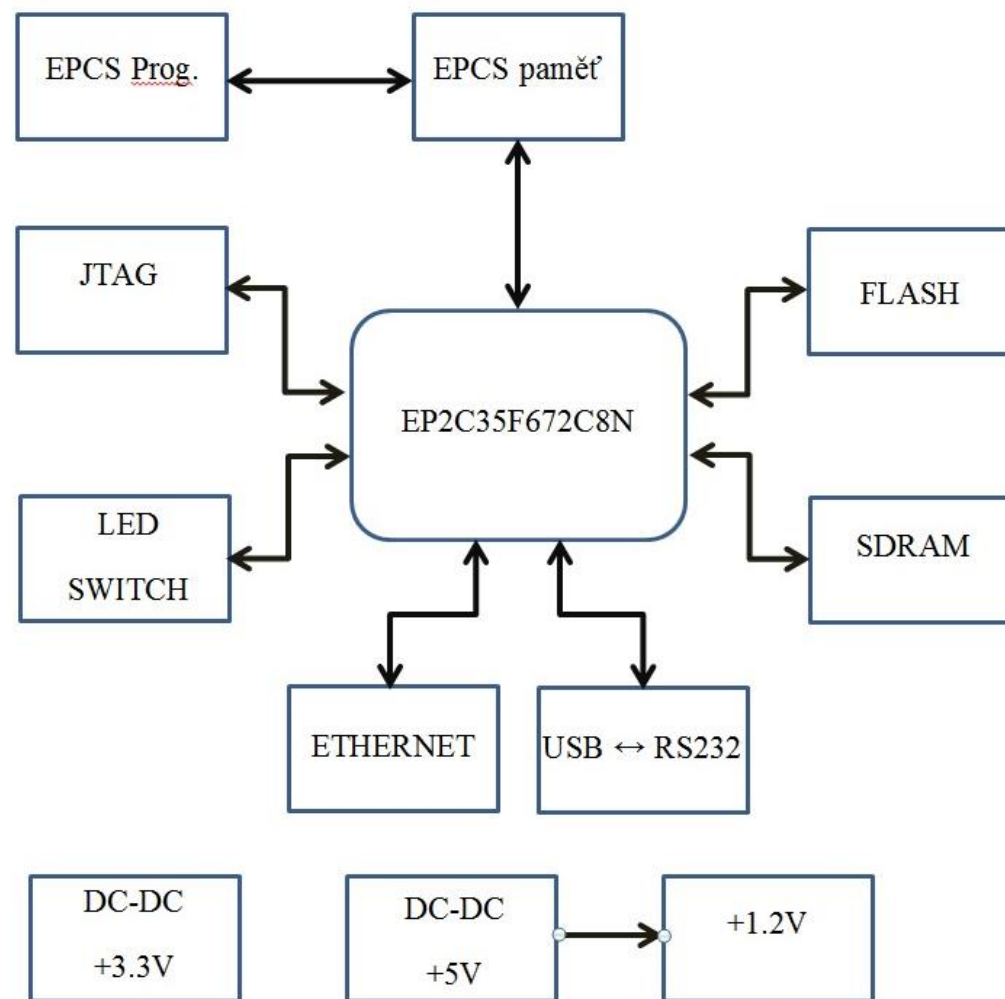
Příloha 26 : DPS programátoru - vrstva TOP



Příloha 27 : DPS programátoru - vrstva TOP



Příloha 28 : Blokové schéma vývojového kitu



Příloha 29 : Blokové schéma programátoru

